

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-153112

(43)Date of publication of application : 27.05.2004

(51)Int.Cl.

H01L 29/78

H01L 29/786

(21)Application number : 2002-318059

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 31.10.2002

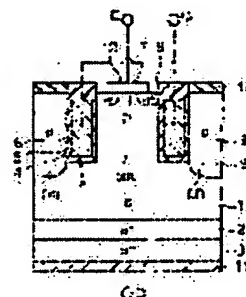
(72)Inventor : YAMAGUCHI SHOICHI
NINOMIYA HIDEAKI
OMURA ICHIRO
INOUE TOMOKI

(54) POWER SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a power semiconductor device for maintaining a low on-voltage and having an excellent switching characteristic.

SOLUTION: The power semiconductor device includes a plurality of trenches (4) located in a first conduction type of a first base layer (1) spaced in a way of partitioning a main cell (MR) and dummy cells (DR) at positions apart from a second conduction type collector layer (3). A second conduction type of second base layer (7) and a first conduction type emitter layer (8) are placed in the main cell, and a second conduction type buffer layer (9) is placed in each dummy cell. A gate electrode (6) is located in each trench adjacent to the main cell via a gate insulation film (5). A buffer resistor with an infinite resistance value is inserted between the buffer layer and an emitter electrode. Each dummy cell is attached with a suppression structure (9a) for reducing the amount of first conduction carriers carried from a collector layer into the buffer layer and stored therein.



LEGAL STATUS

[Date of request for examination]

31.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-153112

(P2004-153112A)

(43) 公開日 平成16年5月27日(2004.5.27)

(51) Int.Cl.⁷

F I

テーマコード (参考)

H01L 29/78

H01L 29/78

655A

5F110

H01L 29/786

H01L 29/78

653A

H01L 29/78

655E

H01L 29/78

616V

H01L 29/78

626A

審査請求 有 請求項の数 44 - O L (全 40 頁)

(21) 出願番号

特願2002-318059 (P2002-318059)

(22) 出願日

平成14年10月31日 (2002.10.31)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(74) 代理人 100058479

弁理士 鈴江 武彦

(74) 代理人 100084618

弁理士 村松 貞男

(74) 代理人 100068814

弁理士 坪井 淳

(74) 代理人 100092196

弁理士 橋本 良郎

(74) 代理人 100091351

弁理士 河野 哲

(74) 代理人 100088683

弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 電力用半導体装置

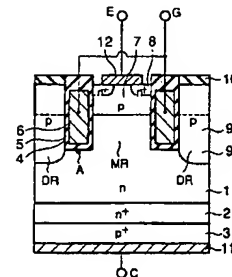
(57) 【要約】

【課題】低オン電圧を維持し且つスイッチング特性の良
 好な電力用半導体装置を提供する。

【解決手段】電力用半導体装置は、第2導電型のコレク
 タ層(8)から離間した位置で、メインセル(MR)と
 ダミーセル(DR)とを区画するように間隔を置いて第
 1導電型の第1ベース層(1)内に配設された複数のト
 レンチ(4)を含む。メインセル内に第2導電型の第2
 ベース層(7)と第1導電型のエミッタ層(8)とが配
 設され、ダミーセル内に第2導電型のバッファ層(9)
 が配設される。メインセルに隣接するトレンチ内にゲ
 ート絶縁膜(5)を介してゲート電極(6)が配設され
 る。バッファ層とエミッタ電極との間に無限大の抵抗値を
 有するバッファ抵抗が挿入される。ダミーセルには、コ
 レクタ層からバッファ層に流入して蓄積される第1導電
 型のキャリアの量を減少させる抑制構造(9a)が付加
 される。

【選択図】

図14



【特許請求の範囲】

【請求項1】

第1導電型の第1ベース層と、
前記第1ベース層上に配設された第2導電型のコレクタ層と、
前記コレクタ層から離間した位置で、メインセルとダミーセルとを区画するように間隔をおいて前記第1ベース層内に配設された複数のトレンチと、
前記メインセル内で前記第1ベース層上に配設された第2導電型の第2ベース層と、
前記第2ベース層上に配設された第1導電型のエミッタ層と、
前記ダミーセル内で前記第1ベース層上に配設された第2導電型のバッファ層と、
前記複数のトレンチ内、前記メインセルに隣接するトレンチ内に配設され、前記第1ベース層と前記エミッタ層とにより挟まれた前記第2ベース層の部分にゲート絶縁膜を介して対向するゲート電極と、
前記コレクタ層上に配設されたコレクタ電極と、
前記第2ベース層及び前記エミッタ層上に配設されたエミッタ電極と、
前記バッファ層と前記エミッタ電極との間に挿入されたバッファ抵抗と、
を具備し、
前記メインセルは、前記装置のオン状態において前記第1ベース層から前記第2ベース層を介して前記エミッタ電極へ向かう第2導電型のキャリアの流れに対して抵抗を増加させるのに十分に狭い電流通路を形成し、これにより、前記エミッタ層から前記第1ベース層への第1導電型のキャリアの注入効率を向上させるように設定され、
前記バッファ抵抗の抵抗値は、前記装置のターンオンの際に、ゲート・エミッタ間印加電圧によりゲート・コレクタ間を充電する期間において、ゲートの負性容量によりゲート・エミッタ間電圧の上昇を生じさせる抵抗値よりも小さくなるように設定されることを特徴とする電力用半導体装置。

【請求項2】

前記バッファ抵抗は、前記バッファ層外に配設された抵抗体を含む配線の抵抗を使用することを特徴とする請求項1に記載の電力用半導体装置。

【請求項3】

前記バッファ層上に配設されたバッファ電極を更に具備し、前記配線は前記バッファ電極と前記エミッタ電極とを電気的に接続することを特徴とする請求項2に記載の電力用半導体装置。

【請求項4】

前記バッファ抵抗は、前記バッファ層の横方向抵抗を使用することを特徴とする請求項1に記載の電力用半導体装置。

【請求項5】

チャネル幅方向における前記エミッタ層の終端を越えた位置に対応して、前記バッファ層上に前記エミッタ電極に電気的に接続されたバッファ電極が配設されることを特徴とする請求項4に記載の電力用半導体装置。

【請求項6】

チャネル幅方向における前記ゲート電極の終端を越えた位置において、前記第2ベース層と前記バッファ層とが第2導電型の半導体層からなる接続層を介して電気的に接続されることを特徴とする請求項4に記載の電力用半導体装置。

【請求項7】

前記接続層は、前記第2ベース層及び前記バッファ層と一体的に形成された層であることを特徴とする請求項6に記載の電力用半導体装置。

【請求項8】

前記接続層は、不純物濃度が前記バッファ層よりも高い層からなることを特徴とする請求項6に記載の電力用半導体装置。

【請求項9】

前記接続層は、不純物濃度が前記バッファ層よりも低い層からなり、前記バッファ抵抗は

、前記接続層の横方向抵抗を主要素として含むことを特徴とする請求項6に記載の電力用半導体装置。

【請求項10】

チャネル幅方向における前記ゲート電極の末端を越えた位置に、前記エミッタ電極に電気的に接続された追加電極が配設され、前記パッファ層は第2導電型の半導体層からなる延長層を介して前記追加電極に電気的に接続され、前記パッファ抵抗は、前記パッファ層及び前記延長層の横方向抵抗を主要素として含むことを特徴とする請求項4に記載の電力用半導体装置。

【請求項11】

第1導電型の第1ベース層と、

10

前記第1ベース層上に配設された第2導電型のコレクタ層と、

前記コレクタ層から離間した位置で、メインセルとダミーセルとを区画するように間隔を置いて前記第1ベース層内に配設された複数のトレンチと、

前記メインセル内で前記第1ベース層上に配設された第2導電型の第2ベース層と、

前記第2ベース層上に配設された第1導電型のエミッタ層と、

前記ダミーセル内で前記第1ベース層上に配設された第2導電型のパッファ層と、

前記複数のトレンチ内、前記メインセルに隣接するトレンチ内に配設され、前記第1ベース層と前記エミッタ層とにより挟まれた前記第2ベース層の部分にゲート絶縁膜を介して対向するゲート電極と、

前記コレクタ層上に配設されたコレクタ電極と、

20

前記第2ベース層及び前記エミッタ層上に配設されたエミッタ電極と、

前記パッファ層と前記エミッタ電極との間に挿入された無限大の抵抗値を有するパッファ抵抗と、

を具備し、

前記メインセルは、前記装置のオン状態において前記第1ベース層から前記第2ベース層を介して前記エミッタ電極へ向かう第2導電型のキャリアの流れに対して抵抗を増加させるのに十分に狭い電流通路を形成し、これにより、前記エミッタ層から前記第1ベース層への第1導電型のキャリアの注入効率を向上させるように設定され、

前記ダミーセルには、前記パッファ層が前記第2ベース層と同じ不純物濃度及び深さで形成される場合と比較して、前記装置のターンオンの際に、ゲート・エミッタ間印加電圧によりゲート・エミッタ間を充電する期間において、前記コレクタ層から前記パッファ層に流入して蓄積される前記第1導電型のキャリアの量を減少させる抑制構造が付加されることを特徴とする電力用半導体装置。

30

【請求項12】

前記抑制構造として、前記第1ベース層と前記パッファ層との間のPn接合が前記トレンチよりも深くなるように、前記パッファ層の深さが設定されることを特徴とする請求項11に記載の電力用半導体装置。

【請求項13】

前記パッファ層の不純物濃度は前記トレンチの下端部近傍で $1 \times 10^{14} \text{ cm}^{-3}$ 以上で、前記トレンチの底部と前記Pn接合の最も深い箇所との間の深さの差は $0.5 \mu\text{m}$ 以上であることを特徴とする請求項12に記載の電力用半導体装置。

40

【請求項14】

前記抑制構造として、前記メインセルに隣接する前記ダミーセルを挟む一対のトレンチ間の第2間隔は、前記メインセルを挟む一対のトレンチ間の第1間隔よりも狭くなるように設定されることを特徴とする請求項11に記載の電力用半導体装置。

【請求項15】

前記第2間隔の前記第1間隔に対する比は $2/3$ 以下であることを特徴とする請求項14に記載の電力用半導体装置。

【請求項16】

前記抑制構造として、前記ダミーセルに隣接し且つ前記メインセルに隣接しないダミー用

50

のトレンチの第2深さは、前記メインセルに隣接するトレンチの第1深さよりも大きいことを特徴とする請求項11に記載の電力用半導体装置。

【請求項17】

前記第2深さと前記第1深さとの差は1 μ m以上であることを特徴とする請求項16に記載の電力用半導体装置。

【請求項18】

前記抑制構造として、前記ダミーセルに隣接し且つ前記メインセルに隣接しないダミー用のトレンチの底部に接して、前記第1ベース層内に第2導電型の張出し層が配設されることを特徴とする請求項11に記載の電力用半導体装置。

【請求項19】

前記張出し層は、前記ダミー用のトレンチの底部から1 μ m以上の深さにまで至るように形成されることを特徴とする請求項18に記載の電力用半導体装置。

【請求項20】

前記ダミーセルに隣接し且つ前記メインセルに隣接しないトレンチ内に、絶縁膜に被覆されたダミー電極が配設され、前記ダミー電極は前記エミッタ電極に電気的に接続されることを特徴とする請求項11乃至19のいずれかに記載の電力用半導体装置。

【請求項21】

第1導電型の第1ベース層と、

前記第1ベース層上に配設された第2導電型のコレクタ層と、

前記コレクタ層から離間した位置で、メインセルとダミーセルとを区画するように間隔を
おいて前記第1ベース層内に配設された複数のトレンチと、

前記メインセル内で前記第1ベース層上に配設された第2導電型の第2ベース層と、

前記第2ベース層上に配設された第1導電型のエミッタ層と、

前記ダミーセル内で前記第1ベース層上に配設された第2導電型のパッファ層と、

前記複数のトレンチ内、前記メインセルに隣接するトレンチ内に配設され、前記第1ベース層と前記エミッタ層とにより挟まれた前記第2ベース層の部分にゲート絶縁膜を介して
対向するゲート電極と、

前記コレクタ層上に配設されたコレクタ電極と、

前記第2ベース層及び前記エミッタ層上に配設されたエミッタ電極と、

前記パッファ層と前記エミッタ電極との間に挿入された無限大の抵抗値を有するパッファ
抵抗と、

を具備し、

前記メインセルは、前記装置のオン状態において前記第1ベース層から前記第2ベース層
を介して前記エミッタ電極へ向かう第2導電型のキャリアの流れに対して抵抗を増加させ
るのに十分に狭い電流通路を形成し、これにより、前記エミッタ層から前記第1ベース層
への第1導電型のキャリアの注入効率を向上させるように設定され、

チャネル幅方向における前記ゲート電極の終端を越えた位置に、前記第2ベース層と前記
パッファ層とを選択的に接続するスイッチ素子が形成され、前記装置のターンオンの際に
、ゲート・エミッタ間印加電圧によりゲート・エミッタ間を充電する期間において、前記
スイッチ素子を介して前記パッファ層から前記第2ベース層に前記第1導電型のキャリア
が排出されることを特徴とする電力用半導体装置。

【請求項22】

前記スイッチ素子は、前記ゲート電極に電気的に接続された駆動電極により駆動されるこ
とを特徴とする請求項21に記載の電力用半導体装置。

【請求項23】

チャネル幅方向における前記ゲート電極の終端を越えた位置で、前記第2ベース層と前記
パッファ層との間に、第1導電型の半導体層からなる介在層が配設され、前記スイッチ素
子は前記介在層をチャネル領域として使用する第2導電型のMOSFETであることを特
徴とする請求項22に記載の電力用半導体装置。

【請求項24】

10

20

30

40

50

前記介在層は前記第1ベース層と一体的に形成された部分であることを特徴とする請求項23に記載の電力用半導体装置。

【請求項25】

前記駆動電極は前記介在層に前記ゲート絶縁膜を介して対向する前記ゲート電極の端部であることを特徴とする請求項23に記載の電力用半導体装置。

【請求項26】

前記駆動電極は、前記介在層の表面上に絶縁膜を介して配設され且つ前記ゲート電極に電氣的に接続された電極であることを特徴とする請求項23に記載の電力用半導体装置。

【請求項27】

第1導電型の第1ベース層と、

前記第1ベース層上に配設された第2導電型のコレクタ層と、

前記コレクタ層から離間した位置で前記第1ベース層内に形成されたトレンチと、

前記トレンチに接して前記第1ベース層上に配設された第2導電型の第2ベース層と、

前記第2ベース層上に配設された第1導電型のエミッタ層と、

前記第1ベース層と前記エミッタ層とにより挟まれた前記第2ベース層の部分にゲート絶縁膜を介して対向するように前記トレンチ内に配設されたゲート電極と、

前記コレクタ層上に配設されたコレクタ電極と、

前記第2ベース層及び前記エミッタ層上に配設されたエミッタ電極と、

前記第1ベース層と前記第2ベース層との間に配設された、前記第1ベース層よりも不純物濃度が高い第1導電型のバリア層と、前記バリア層は、前記装置のオン状態において前記第1ベース層から前記第2ベース層を介して前記エミッタ電極へ向かう第2導電型のキャリアの流れに対して抵抗を増加させ、これにより、前記エミッタ層から前記第1ベース層への第1導電型のキャリアの注入効率を向上させることと、

第2導電型のキャリアを前記第1ベース層から排出することができるよう、前記第1ベース層上に配設された第2導電型のダイバータ層と、

前記エミッタ電極に電氣的に接続された第1導電型部分と、前記ダイバータ層に電氣的に接続された第2導電型部分とを有する整流素子と、前記整流素子は、前記装置のターンオフの際に、前記ダイバータ層の電位の変化によって導通状態とされ、前記ダイバータ層から前記エミッタ電極に第2導電型のキャリアを排出することと、

を具備する。

【請求項28】

前記整流素子はダイオードを具備することを特徴とする請求項27に記載の電力用半導体装置。

【請求項29】

前記ダイバータ層上に配設されたダイバータ電極を更に具備し、前記整流素子の前記第2導電型部分は前記ダイバータ電極に電氣的に接続されることを特徴とする請求項27に記載の電力用半導体装置。

【請求項30】

前記整流素子は、前記ダイバータ層、前記トレンチ、前記エミッタ層、或いは前記第2ベース層上に絶縁膜を介して配設された半導体層内に形成されることを特徴とする請求項29に記載の電力用半導体装置。

【請求項31】

前記整流素子の前記第2導電型部分は前記ダイバータ層に電氣的にコンタクトするように配設された第2導電型の半導体層を具備することを特徴とする請求項27に記載の電力用半導体装置。

【請求項32】

第1導電型の第1ベース層と、

前記第1ベース層上に配設された第2導電型のコレクタ層と、

前記コレクタ層から離間した位置で前記第1ベース層内に形成されたトレンチと、

前記トレンチに接して前記第1ベース層上に配設された第2導電型の第2ベース層と、

前記第2ベース層上に配設された第1導電型のエミッタ層と、
前記第1ベース層と前記エミッタ層とにより挟まれた前記第2ベース層の部分にゲート絶縁膜を介して対向するように前記トレンチ内に配設されたゲート電極と、
前記コレクタ層上に配設されたコレクタ電極と、
前記第2ベース層及び前記エミッタ層上に配設されたエミッタ電極と、
前記第1ベース層と前記第2ベース層との間に配設された、前記第1ベース層よりも不純物濃度が高い第1導電型のバリア層と、前記バリア層は、前記装置のオン状態において前記第1ベース層から前記第2ベース層を介して前記エミッタ電極へ向かう第2導電型のキャリアの流れに対して抵抗を増加させ、これにより、前記エミッタ層から前記第1ベース層への第1導電型のキャリアの注入効率を向上させることと、
第2導電型のキャリアを前記第1ベース層から排出することができるよう、前記第1ベース層上に配設された第2導電型のダイバータ層と、
前記ゲート電極に電氣的に接続された駆動電極により駆動され、前記ダイバータ層と前記エミッタ電極とを選択的に接続する第2導電型チャネルMOSFETと、前記第2導電型チャネルMOSFETは、前記装置のターンオフの際に、前記駆動電極の電位の変化によって導通状態とされ、前記ダイバータ層から前記エミッタ電極に第2導電型のキャリアを排出することと、
を具備する。

【請求項33】

前記第2導電型チャネルMOSFETは、前記トレンチに接して前記ダイバータ層上に配設された第1導電型の介在層と、前記介在層上に配設された第2導電型の対向層とを具備することと、前記第2導電型チャネルMOSFETは、前記介在層をチャネル領域として使用し、前記対向層及び前記ダイバータ層の一部を一对のソース/ドレインとして使用し、前記ゲート絶縁膜を介して前記介在層に対向する前記ゲート電極の部分を前記駆動電極として使用することと、を特徴とする請求項32に記載の電力用半導体装置。

【請求項34】

前記介在層及び前記対向層上に配設され且つ前記エミッタ電極に電氣的に接続された追加電極を更に具備することとを特徴とする請求項33に記載の電力用半導体装置。

【請求項35】

前記追加電極は、前記エミッタ電極と一体的に形成された前記エミッタ電極の延長部分であることを特徴とする請求項34に記載の電力用半導体装置。

【請求項36】

前記駆動電極は、前記ダイバータ層、前記トレンチ、前記エミッタ層、或いは前記第2ベース層上に絶縁膜を介して配設され、前記第2導電型チャネルMOSFETの一对のソース/ドレイン及びチャネル領域は、前記駆動電極上に絶縁膜を介して配設された半導体層内に形成されることを特徴とする請求項32に記載の電力用半導体装置。

【請求項37】

前記駆動電極は前記ゲート電極と一体的に形成され、前記ゲート電極と前記駆動電極とは断面T字形の形状を構成することとを特徴とする請求項36に記載の電力用半導体装置。

【請求項38】

前記駆動電極は、前記ダイバータ層と前記第2ベース層とにより挟まれた前記第1ベース層及び前記バッファ層の表面部分に絶縁膜を介して対向するように配設されることを特徴とする請求項32に記載の電力用半導体装置。

【請求項39】

メインセルとダミーセルとを区画するように間隔をおいて前記第1ベース層内に複数のトレンチが形成され、前記複数のトレンチの内で前記メインセルに隣接するトレンチ内に前記ゲート電極が配設されることと、前記バリア層、前記第2ベース層、及び前記エミッタ層は前記メインセル内に配設され、前記ダイバータ層は前記ダミーセル内に配設されることとを特徴とする請求項27乃至37のいずれかに記載の電力用半導体装置。

【請求項40】

前記ダミーセルに隣接し且つ前記メインセルに隣接しないトレンチ内に、絶縁膜に被覆されたダミー電極が配設され、前記ダミー電極は前記エミッタ電極に電氣的に接続されることを特徴とする請求項39に記載の電力用半導体装置。

【請求項41】

前記第2ベース層と前記ダイバータ層とは、チャネル幅方向で前記トレンチに沿って同じ側に並べて配置されることを特徴とする請求項27乃至38のいずれかに記載の電力用半導体装置。

【請求項42】

前記バリア層、前記第2ベース層、前記エミッタ層、及び前記ダイバータ層の夫々は、前記トレンチを挟んで配設された一対の層部分を具備することを特徴とする請求項41に記載の電力用半導体装置。

10

【請求項43】

前記第2ベース層と前記エミッタ層とは、チャネル幅方向で前記トレンチに沿って、前記エミッタ電極に対して交互にコンタクトすることを特徴とする請求項27乃至42のいずれかに記載の電力用半導体装置。

【請求項44】

前記ダイバータ層は、前記第1ベース層内で前記トレンチよりも深い位置まで延在することを特徴とする請求項27乃至43のいずれかに記載の電力用半導体装置。

【発明の詳細な説明】

【0001】

20

【発明の属する技術分野】

本発明は電力用半導体装置に関し、特に電力用スイッチング素子として好適な絶縁ゲート型半導体装置に関する。

【0002】

【従来の技術】

近年、パワーエレクトロニクス分野においては、電源機器の小型化・高性能化が強く要求されている。この要求を受けて、電力用半導体装置では、高耐圧・大電流化と共に、低損失化や低ノイズ化に対する性能改善が行われている。このような状況下で、低オン電圧特性を有し、同時にターンオフ損失の低減が可能な素子として、IGBT (Insulated Gate Bipolar Transistor) を改良したIEGT (Injection Enhanced Gate Transistor) が注目されている (例えば、特許文献1、非特許文献1、及び特許文献3参照)。

30

【0003】

図25は、従来のトレンチ構造を有するIEGTを示す断面図である。図25図示の如く、n型ベース層101の一方側には、n型バッファ層102が配設され、更のその上にP型コレクタ層103が配設される。n型ベース層101の他方側には、n型ベース層101内に、メインセルMRとダミーセルDRとを交互に区画するように間隔を置いて複数のトレンチ104が形成される。

【0004】

メインセルMR内でn型ベース層101上にはP型ベース層107が配設される。P型ベース層107の表面内にはn型エミッタ層108が形成される。ダミーセルDR内でn型ベース層101上にはP型バッファ層109が配設される。P型ベース層107とP型バッファ層109とは共通のP型層がトレンチ104により分割されることにより形成される。

40

【0005】

P型コレクタ層103上にコレクタ電極111が配設される。P型ベース層107及びn型エミッタ層108上にエミッタ電極112が配設される。各トレンチ104内に、ゲート絶縁膜105で包まれた状態でゲート電極106が埋め込まれる。従って、メインセルMR内には、P型ベース層107をチャネル領域としてn型エミッタ層108をn型ベース層101に選択的に接続する電子注入用のn型チャネルMOSFETが形成される。

50

【0006】

図25図示の断面において、ダメージセルDR内のP型バッファ層109の表面は絶縁膜110によって被覆される。しかし、P型バッファ層109の電位を固定する目的から、図25に示されない位置で、P型バッファ層109上にもエミッタ電極112が配設される。但し、P型バッファ層109上に配設されるエミッタ電極112の密度は十分小さく設定され、P型バッファ層109とエミッタ電極112との間の抵抗は等価的に十分大きくなっている。

【0007】

このようなIEGTでは、メインセルMRが、n型ベース層101とエミッタ電極112とをつなぐ十分に狭い電流通路を形成する。このため、IEGTのオン状態において、n型ベース層101からメインセルMRのP型ベース層107を介してエミッタ電極112へ向かう正孔の流れに対して抵抗が増加し、エミッタ電極112への正孔の排出が制限される。これにより、n型エミッタ層108からn型ベース層101への電子の注入効率が向上し、n型ベース層101の伝導度変調が促進され、低オン電圧がもたらされる。

【0008】

IEGTと同様にオン抵抗を低減可能な電力用半導体装置として、CSTBT (Carrier Stored Trench-Gate Bipolar Transistor) も提案されている (例えば、特許文献4参照)。図26は従来のCSTBTを示す断面図である。

【0009】

図26図示の如く、n型ベース層131の一方側にはP型コレクタ層133が配設される。n型ベース層131の他方側には、n型ベース層131よりも不純物濃度の高いn型バリア層132が配設される。バリア層132上にはP型ベース層137が配設される。P型ベース層137の表面内にはn型エミッタ層138が形成される。基板表面からn型ベース層131内に至るように間隔を置いて複数のトレンチ134が形成される。

【0010】

P型コレクタ層133上にコレクタ電極141が配設される。P型ベース層137及びn型エミッタ層138上にエミッタ電極142が配設される。各トレンチ134内に、ゲート絶縁膜135で包まれた状態でゲート電極136が埋め込まれる。従って、P型ベース層137をチャネル領域としてn型エミッタ層138をn型ベース層131に選択的に接続する電子注入用のn型チャネルMOSFETが形成される。

【0011】

このようなCSTBTでは、不純物濃度の高いn型バリア層132が正孔の流れに対する大きな抵抗となる。このため、CSTBTのオン状態において、n型ベース層131からP型ベース層137を介してエミッタ電極142へ向かう正孔の流れに対して抵抗が増加し、エミッタ電極142への正孔の排出が制限される。これにより、n型エミッタ層138からn型ベース層131への電子の注入効率が向上し、n型ベース層131の伝導度変調が促進され、低オン電圧がもたらされる。

【0012】

【特許文献1】

特開平5-24356号公報

【0013】

【特許文献2】

特開2000-40951号公報

【0014】

【非特許文献1】

Jpn. J. Appl. Phys. Vol. 36 (1997) pp. 3433-3437. ISSCC 2000 Digest Paper TA7. 2

【0015】

【非特許文献2】

IEEE ELECTRON DEVICE LETTERS, VOL. 18, P
P. 121-123

【0016】

【非特許文献3】

M. Kitagawa et al., "A 4500V Injection Enhanced Insulated Gate Bipolar Transistor (IEGT) in a Mode Similar to a Thyristor", IEDM '93, PP. 679-682, 1993

【0017】

【非特許文献4】

H. Takahashi et al., "Carrier Stored Trench-Gate Bipolar Transistor (CSTBT) - A Novel Power Device for High Voltage Application" ISPSD '96, PP. 349-352, 1996

【0018】

【非特許文献5】

R. Constapel, J. Korec and B. J. Baliga, "Trench-IGBTs with Integrated Diverter Structures", ISPSD '95, PP. 201-206, 1995

【0019】

【発明が解決しようとする課題】

従来の IEGT や CSTBT 等の電力用半導体装置は低オン電圧が得られるという利点を有する。しかし、一方、従来の電力用半導体装置は、後述するように、スイッチングの際、特にターンオンの際、大きなノイズが生じる等の問題がある。また、正孔の排出抵抗が高いため、ターンオフ時に電圧上昇が始まり空乏層が伸びるまでの時間（ストレージ期間）が長くなるという問題もある。そのためターンオフ時間が長くなり、ターンオフ損失も増大してしまう。

【0020】

本発明は、かかる従来技術の問題点に鑑みてなされたものであり、低オン電圧を維持し且つスイッチング特性の良好な電力用半導体装置を提供することを目的とする。

【0021】

【課題を解決するための手段】

本発明の第1の視点は、電力用半導体装置であって、

第1導電型の第1ベース層と、

前記第1ベース層上に配設された第2導電型のコレクタ層と、

前記コレクタ層から離間した位置で、メインセルとダミーセルとを区画するように間隔を置いて前記第1ベース層内に配設された複数のトレンチと、

前記メインセル内で前記第1ベース層上に配設された第2導電型の第2ベース層と、

前記第2ベース層上に配設された第1導電型のエミッタ層と、

前記ダミーセル内で前記第1ベース層上に配設された第2導電型のバッファ層と、

前記複数のトレンチ内、前記メインセルに隣接するトレンチ内に配設され、前記第1ベース層と前記エミッタ層とにより挟まれた前記第2ベース層の部分にゲート絶縁膜を介して対向するゲート電極と、

前記コレクタ層上に配設されたコレクタ電極と、

前記第2ベース層及び前記エミッタ層上に配設されたエミッタ電極と、

前記バッファ層と前記エミッタ電極との間に挿入されたバッファ抵抗と、

を具備し、

前記メインセルは、前記装置のオン状態において前記第1ベース層から前記第2ベース層を介して前記エミッタ電極へ向かう第2導電型のキャリアの流れに対して抵抗を増加させ

10

20

30

40

50

るのに十分に狭い電流通路を形成し、これにより、前記エミッタ層から前記第1ベース層への第1導電型のキャリアの注入効率を向上させるように設定され、
前記パッファ抵抗の抵抗値は、前記装置のターンオンの際に、ゲート・エミッタ間印加電圧によりゲート・コレクタ間を充電する期間において、ゲートの負性容量によりゲート・エミッタ間電圧の上昇を生じさせる抵抗値よりも小さくなるように設定されることを特徴とする。

【0022】

本発明の第2の視点は、電力用半導体装置であって、

第1導電型の第1ベース層と、

前記第1ベース層上に配設された第2導電型のコレクタ層と、

前記コレクタ層から離間した位置で、メインセルとダミーセルとを区画するように間隔を
おいて前記第1ベース層内に配設された複数のトレンチと、

前記メインセル内で前記第1ベース層上に配設された第2導電型の第2ベース層と、

前記第2ベース層上に配設された第1導電型のエミッタ層と、

前記ダミーセル内で前記第1ベース層上に配設された第2導電型のパッファ層と、

前記複数のトレンチ内、前記メインセルに隣接するトレンチ内に配設され、前記第1ベ
ース層と前記エミッタ層とにより挟まれた前記第2ベース層の部分にゲート絶縁膜を介して
対向するゲート電極と、

前記コレクタ層上に配設されたコレクタ電極と、

前記第2ベース層及び前記エミッタ層上に配設されたエミッタ電極と、

前記パッファ層と前記エミッタ電極との間に挿入された無限大の抵抗値を有するパッファ
抵抗と、

を具備し、

前記メインセルは、前記装置のオン状態において前記第1ベース層から前記第2ベース層
を介して前記エミッタ電極へ向かう第2導電型のキャリアの流れに対して抵抗を増加させ
るのに十分に狭い電流通路を形成し、これにより、前記エミッタ層から前記第1ベース層
への第1導電型のキャリアの注入効率を向上させるように設定され、

前記ダミーセルには、前記パッファ層が前記第2ベース層と同じ不純物濃度及び深さで形
成される場合と比較して、前記装置のターンオンの際に、ゲート・エミッタ間印加電圧に
よりゲート・エミッタ間を充電する期間において、前記コレクタ層から前記パッファ層に
流入して蓄積される前記第1導電型のキャリアの量を減少させる抑制構造が付加されるこ
とを特徴とする。

【0028】

本発明の第3の視点は、電力用半導体装置であって、

第1導電型の第1ベース層と、

前記第1ベース層上に配設された第2導電型のコレクタ層と、

前記コレクタ層から離間した位置で、メインセルとダミーセルとを区画するように間隔を
おいて前記第1ベース層内に配設された複数のトレンチと、

前記メインセル内で前記第1ベース層上に配設された第2導電型の第2ベース層と、

前記第2ベース層上に配設された第1導電型のエミッタ層と、

前記ダミーセル内で前記第1ベース層上に配設された第2導電型のパッファ層と、

前記複数のトレンチ内、前記メインセルに隣接するトレンチ内に配設され、前記第1ベ
ース層と前記エミッタ層とにより挟まれた前記第2ベース層の部分にゲート絶縁膜を介して
対向するゲート電極と、

前記コレクタ層上に配設されたコレクタ電極と、

前記第2ベース層及び前記エミッタ層上に配設されたエミッタ電極と、

前記パッファ層と前記エミッタ電極との間に挿入された無限大の抵抗値を有するパッファ
抵抗と、

を具備し、

前記メインセルは、前記装置のオン状態において前記第1ベース層から前記第2ベース層

10

20

30

40

50

を介して前記エミッタ電極へ向かう第2導電型のキャリアの流れに対して抵抗を増加させるのに十分に狭い電流通路を形成し、これにより、前記エミッタ層から前記第1ベース層への第1導電型のキャリアの注入効率を向上させるように設定され、

チャネル幅方向における前記ゲート電極の末端を越えた位置に、前記第2ベース層と前記バッファ層とを選択的に接続するスイッチ素子が形成され、前記装置のターンオンの際に、ゲート・エミッタ間印加電圧によりゲート・エミッタ間を充電する期間において、前記スイッチ素子を介して前記バッファ層から前記第2ベース層に前記第1導電型のキャリアが排出されることを特徴とする。

【0024】

本発明の第4の視点は、電力用半導体装置であって、

第1導電型の第1ベース層と、

前記第1ベース層上に配設された第2導電型のコレクタ層と、

前記コレクタ層から離間した位置で前記第1ベース層内に形成されたトレンチと、

前記トレンチに接して前記第1ベース層上に配設された第2導電型の第2ベース層と、

前記第2ベース層上に配設された第1導電型のエミッタ層と、

前記第1ベース層と前記エミッタ層とにより挟まれた前記第2ベース層の部分にゲート絶縁膜を介して対向するように前記トレンチ内に配設されたゲート電極と、

前記コレクタ層上に配設されたコレクタ電極と、

前記第2ベース層及び前記エミッタ層上に配設されたエミッタ電極と、

前記第1ベース層と前記第2ベース層との間に配設された、前記第1ベース層よりも不純物濃度が高い第1導電型のバリア層と、前記バリア層は、前記装置のオン状態において前記第1ベース層から前記第2ベース層を介して前記エミッタ電極へ向かう第2導電型のキャリアの流れに対して抵抗を増加させ、これにより、前記エミッタ層から前記第1ベース層への第1導電型のキャリアの注入効率を向上させることと、

第2導電型のキャリアを前記第1ベース層から排出することができるように、前記第1ベース層上に配設された第2導電型のダイバータ層と、

前記エミッタ電極に電気的に接続された第1導電型部分と、前記ダイバータ層に電気的に接続された第2導電型部分とを有する整流素子と、前記整流素子は、前記装置のターンオフの際に、前記ダイバータ層の電位の変化によって導通状態とされ、前記ダイバータ層から前記エミッタ電極に第2導電型のキャリアを排出することと、

を具備する。

【0025】

本発明の第5の視点は、電力用半導体装置であって、

第1導電型の第1ベース層と、

前記第1ベース層上に配設された第2導電型のコレクタ層と、

前記コレクタ層から離間した位置で前記第1ベース層内に形成されたトレンチと、

前記トレンチに接して前記第1ベース層上に配設された第2導電型の第2ベース層と、

前記第2ベース層上に配設された第1導電型のエミッタ層と、

前記第1ベース層と前記エミッタ層とにより挟まれた前記第2ベース層の部分にゲート絶縁膜を介して対向するように前記トレンチ内に配設されたゲート電極と、

前記コレクタ層上に配設されたコレクタ電極と、

前記第2ベース層及び前記エミッタ層上に配設されたエミッタ電極と、

前記第1ベース層と前記第2ベース層との間に配設された、前記第1ベース層よりも不純物濃度が高い第1導電型のバリア層と、前記バリア層は、前記装置のオン状態において前記第1ベース層から前記第2ベース層を介して前記エミッタ電極へ向かう第2導電型のキャリアの流れに対して抵抗を増加させ、これにより、前記エミッタ層から前記第1ベース層への第1導電型のキャリアの注入効率を向上させることと、

第2導電型のキャリアを前記第1ベース層から排出することができるように、前記第1ベース層上に配設された第2導電型のダイバータ層と、

前記ゲート電極に電気的に接続された駆動電極により駆動され、前記ダイバータ層と前記

10

20

30

40

50

エミッタ電極とを選択的に接続する第2導電型チャネルMOSFETと、前記第2導電型チャネルMOSFETは、前記装置のターンオフの際に、前記駆動電極の電位の変化によって導通状態とされ、前記ダイバート層から前記エミッタ電極に第2導電型のキャリアを排出することと、
を具備する。

【0026】

更に、本発明に係る実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施の形態に示される全構成要件から幾つかの構成要件が省略されることで発明が抽出された場合、その抽出された発明を実施する場合には省略部分が周知慣用技術で適宜補われるものである。

【0027】

【発明の実施の形態】

本発明者等は、本発明の開発の過程において、図25図示の従来のIEGT等について研究を行った。その結果、以下に述べるような知見を得た。

【0028】

図25図示のIEGTでは、P型バッファ層109上に配設されるエミッタ電極112の密度は、正孔がエミッタ電極112に漏れないよう十分小さく設定される。即ち、P型バッファ層109とエミッタ電極112との間の抵抗は非常に大きい。このため、このIEGTは低オン電圧が得られるという利点を有する一方、以下に述べるような問題を伴う。

【0029】

即ち、IEGTのスイッチングの際、特にターンオンの際、コレクタ・エミッタ間の電圧変化率(dV/dt)が大きく、過大なスイッチングノイズを発生する。また、一般に、MOSFETやIGBT等の絶縁ゲート型半導体装置では、ゲート抵抗によりゲート容量の充放電時間を調整することにより、 dV/dt を低減し、スイッチングノイズの低減を図ることができる。しかし、図25図示のIEGTではゲート抵抗を用いても dV/dt が調整されず、 dV/dt が高い状態のままになる。

【0030】

これ等の問題は、IEGTのターンオンの過程における、ゲート・エミッタ間印加電圧（換言すると、ゲート電極に印加する電圧）と、ダイオードセルのトレンチより浅い表面領域、特にP型バッファ層109内に蓄積される正孔との関係によるものと考えられる。即ち、IEGTのターンオンの過程において、ゲート・エミッタ間印加電圧を上昇していくと、IEGTは次の2つの期間を経てターンオン状態に至る。最初の期間は、ゲート・エミッタ間印加電圧によりゲート・エミッタ間を充電する期間である。次の期間は、ゲート・エミッタ間印加電圧によりゲート・コレクタ間容量を充電する期間（ミラー期間）である。

【0031】

最初の期間では、ゲート・エミッタ間電圧は負の初期電圧から正の所定電圧に向かって上昇する。この期間では、主に、ゲート電極106に面するP型ベース層107及びP型バッファ層109の表面部に反転層が形成され、電子が蓄積されて電子の注入が開始される。次のミラー期間では、理想的にはゲート・エミッタ間電圧は正の所定電圧を維持する（但し、理想状態から外れてノイズが発生する）。この期間では、主に、ゲート電極106に面するn型ベース層101の部分において正の空間電荷が除去される。

【0032】

従来のIEGTでは、P型バッファ層109とエミッタ電極112との間の抵抗は非常に大きい。このため、IEGTのターンオンの過程の最初の期間に特に電子注入開始後の期間において、トレンチ104に隣接するダイオードセルの表面部（トレンチ104で挟まれたP型バッファ層109及びn型ベース層101）に蓄積される正孔の量が大きくなる。P型バッファ層109に蓄積された正孔は、IEGTのターンオンの際に、過大なスイッチングノイズを発生させる原因となっている。このような現象が生じる原理に関する詳細は、後述する実施の形態の説明に関連して更に述べる。

10

20

30

40

50

【0033】

一方、電力用半導体装置のターンオフ特性に関連し、IGBTのターンオフ損失を低減するための構造として、ダイバータ構造が提案されている（例えば、非特許文献5参照）。この構造は、ターンオフ時にn型ベース層内の正孔を排出することができるように、IGBTのn型ベース層内に第2導電型のダイバータ層を形成したものである。この構造は、オン状態ではキャリアの蓄積が少なくオン抵抗が高くなる点と、構造的に製造が困難である点が問題である。

【0034】

以下に、このような知見に基づいて構成された本発明の実施の形態について図面を参照して説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。また、以下の全ての実施の形態において、第1導電型としてn型、第2導電型としてP型が使用される。

【0035】

（第1の実施の形態）

図1は、本発明の第1の実施の形態に係る電力用半導体装置（IEGT）を示す断面図である。図1図示の如く、高抵抗のn型ベース層1の一方側には、高不純物濃度のn型バッファ層2が配設され、更のその上に高不純物濃度のP型コレクタ層3が配設される。なお、n型バッファ層2なしでn型ベース層1上にP型コレクタ層3が直接接していてもよい。n型ベース層1の他方側には、n型ベース層1内に、メインセルMRとダミーセルDRとを区画するように間隔を置いて複数のトレンチ4が形成される。

【0036】

メインセルMR内でn型ベース層1上にはP型ベース層7が配設される。P型ベース層7の表面内にはn型エミッタ層8が形成される。ダミーセルDR内でn型ベース層1上にはP型バッファ層9が配設される。P型ベース層7とP型バッファ層9とは別々の層として形成することもでき、共通のP型層をトレンチ4により分割することにより形成することもできる。

【0037】

P型コレクタ層3とコンタクトするようにこの上にコレクタ電極11が配設される。P型ベース層7及びn型エミッタ層8とコンタクトするようにこれ等の上にエミッタ電極12が配設される。なお、エミッタ電極12とコンタクトするため、P型ベース層7内に高不純物濃度のP型コンタクト層を形成してもよい。

【0038】

複数のトレンチ4のうちで、メインセルMRに隣接するトレンチ4内に、ゲート絶縁膜5で包まれた状態でゲート電極6が埋め込まれる。メインセルMRとダミーセルDRとが交互に配置される場合は、全てのトレンチ4の夫々内にゲート電極6が配設される。ゲート電極6は、n型ベース層1とn型エミッタ層8とにより挟まれたP型ベース層7の部分に、ゲート絶縁膜5を介して対向する。

【0039】

従って、メインセルMR内には、P型ベース層7をチャネル領域としてn型エミッタ層8をn型ベース層1に選択的に接続する電子注入用のn型チャネルMOSFETが形成される。一方、ダミーセルDR内には、このようなn型チャネルMOSFETは形成されない。

【0040】

図1図示のIEGTでは、トレンチ4の深さや幅、間隔等を最適設計することにより、サイリスタ並みの低オン電圧を得ることができる。これは、ダミーセルDRを設けることにより、P型コレクタ層3から注入される正孔電流に対し、n型ベース層1の横方向抵抗が発生することと、メインセルMRが、n型ベース層1とエミッタ電極12とをつなぐ十分に狭い電流通路を形成し、抵抗が発生することによる。

【0041】

即ち、IEGTのオン状態において、P型コレクタ層3からn型ベース層1及びメインセ

10

20

30

40

50

ルMRのP型ベース層7を介してエミッタ電極12へ向かう正孔の流れに対して抵抗が増加し、エミッタ電極12への正孔の排出が制限される。これにより、n型エミッタ層8からn型ベース層1への電子の注入効率が向上し、n型ベース層1の伝導度変調が促進され、低オン電圧がもたらされる。

【0042】

ダミーセルDR内のP型バッファ層9上にバッファ電極13が配設される。バッファ電極13はバッファ抵抗14を介してエミッタ電極12に電気的に接続される。本実施の形態において、バッファ抵抗14は、バッファ電極13とエミッタ電極12とを電気的に接続するようにP型バッファ層9外に配設された抵抗体を含む配線の抵抗を使用する。

【0043】

図2(a)、(b)は、実験により得られた、比較例1のIEGT及び本実施の形態に係る実施例1のIEGTのターンオン時の電圧及び電流波形を夫々示すグラフである。図において、 V_{ge} はゲート・エミッタ間電圧、 V_{ce} はコレクタ・エミッタ間電圧、 I_c はコレクタ電流を夫々示す。

【0044】

この実験において、比較例1のIEGT及び実施例1のIEGTは共に、IEGTの耐圧は1200V、コレクタ・エミッタ間の印加電圧は600V、ゲート抵抗 R_g は51 Ω とした。また、比較例1のIEGTのP型バッファ層109とエミッタ電極112との間の抵抗は10 Ω 、実施例1のIEGTのP型バッファ層9とエミッタ電極12との間の抵抗は1 Ω とした。

【0045】

図2(a)図示の如く、比較例1のIEGTでは、ミラー期間 $t_1 \sim t_2$ (ゲート・エミッタ間印加電圧によりゲート・コレクタ間を充電する期間)の初期におけるコレクタ・エミッタ間の電圧変化率(dV/dt)が約20kV/ μ S以上あり、激しく波形が振動した。これに対して、図2(b)図示の如く、実施例1のIEGTでは、ミラー期間 $t_1 \sim t_2$ の初期における dV/dt が約5kV/ μ S以下に低減され、波形振動も抑えられた。

【0046】

また、比較例1のIEGT及び実施例1のIEGTに対してゲート抵抗 R_g を変化させる実験を行った。その結果、比較例1のIEGTでは、ゲート抵抗 R_g を変化させても dV/dt がほとんど変化しなかった。これに対して、実施例1のIEGTでは、ゲート抵抗 R_g を変化させることにより、 dV/dt を例えば2~10kV/ μ Sのように調整することができた。

【0047】

図3(a)、(b)は、シミュレーションにより得られた、比較例1のIEGT及び実施例1のIEGTのターンオン時のゲート電荷特性を夫々示すグラフである。図において、 V_{ge} はゲート・エミッタ間電圧、 V_{ce} はコレクタ・エミッタ間電圧、 Q_g はゲート電荷を夫々示す。また、実線はダイナミック計算により得られた特性、破線はスタティック計算($V_{ce}=0$ V及び $V_{ce}=600$ V)により得られた特性を夫々示す。シミュレーションにおけるIEGTの条件は、本シミュレーションのパラメータを除いて、図2(a)、(b)に関して説明したものと同一である。

【0048】

比較例1のIEGTでは、ミラー期間(図2(a)の期間 $t_1 \sim t_2$)のゲート・エミッタ間電圧 V_{ge} (以降 $V_{ge}(on)$ と表記)が、 $V_{ce}=600$ Vのスタティック特性で V_{ge} を上げていくと Q_g が減少する V_{ge} 領域(負性容量を示す V_{ge} 領域)内に入っている。この場合、ダイナミック特性において、 Q_g の波形が激しく振動している。これに対して、実施例1のIEGTでは、負性容量を示す V_{ge} 領域は高電圧側にシフトし、この領域内に $V_{ge}(on)$ が入っていない。この場合、ダイナミック特性において、 Q_g の波形の振動は殆ど見られない。

【0049】

10

20

30

40

50

V_{ge} を上げていくと Q_g が減少する現象は $C_g = dQ_g / dV_{ge}$ が負になることから負性容量（ゲートの負性容量）と呼ばれる。負性容量は、半導体装置の並列駆動に際し、電流アンバランスが生じる原因として知られている（例えば、特許文献2及び非特許文献2参照）。更に、本発明者等の研究によれば、IEGTにおける負性容量とスイッチングノイズとの関係に関して次のようなことが判明した。

【0050】

即ち、ミラー期間の $V_{ge}(on)$ が負性容量を示す V_{ge} 領域内に入ると、比較例1のIEGTのダイナミック特性に見られるように V_{ge} が振動する。 V_{ge} が振動し、短時間で V_{ge} が上昇してしまう結果、コレクタ電流が急激に通電して大きな dV/dt が発生する。

10

【0051】

IEGTにおける負性容量は、タミーセルDRのP型バッファ層及びn型ベース層のトレンチより浅い領域（即ちタミーセルのトレンチ間領域）に蓄積される正孔による、P型バッファ層の電位の上昇によりもたらされる。P型バッファ層の電位の上昇は、P型バッファ層とエミッタ電極との間を電氣的に接続する抵抗の抵抗値により制御可能である。

【0052】

本実施の形態に係るIEGTのように、所定のバッファ抵抗14を介してP型バッファ層9とエミッタ電極12を電氣的に接続すると、負性容量が現れる V_{ge} 範囲を調整することができる。即ち、所定のバッファ抵抗14を使用することにより、 $V_{ge}(on)$ が負性容量を示す V_{ge} 領域内に入らないようにし、 V_{ge} の振動とそれに起因する高 dV/dt を防止することができる。

20

【0053】

図4(a)、(b)は、シミュレーションにより得られた、バッファ抵抗14の抵抗値 R_{buff} に対する dV/dt 及びオン電圧の関係、並びに R_{buff} に対する負性容量を示す V_{ge} の範囲 NCR 及びオン電圧との関係を夫々示すグラフである。図において、 $V_{ce}(sat)$ はオン状態におけるコレクタ・エミッタ間電圧（飽和電圧）、 $V_{ge}(on)$ はミラー期間中の非振動時のゲート・エミッタ間電圧、 V_{th} はゲートしきい値電圧を夫々示す。シミュレーションにおけるIEGTの条件は、本シミュレーションのパラメータを除いて、図2(a)、(b)に関して説明したものと同一である。

【0054】

本実施の形態に係るIEGTは、低オン電圧特性を維持したまま、スイッチングノイズの低減が可能な特性を得ることを意図している。即ち、図4(a)において、 $V_{ce}(sat)$ が低く且つ dV/dt が小さい範囲が、バッファ抵抗14の抵抗値 R_{buff} の望ましい範囲となる。この実験条件では、 R_{buff} の望ましい範囲は約 $0.3 \sim 3 \Omega$ となる。

30

【0055】

図4(b)図示の如く、バッファ抵抗14の抵抗値 R_{buff} が高くなるほど、負性容量を示す V_{ge} の範囲 $NCR1 \sim NCR6$ の値は低くなる。 R_{buff} が 3Ω 以下の $NCR1$ 、 $NCR2$ では、それ等の範囲が $V_{ge}(on)$ よりも上に位置する。この場合、 V_{ge} は負性容量の影響を受ける前にターンオン状態に至るため、スイッチングノイズの発生が防止される。

40

【0056】

一方、 R_{buff} が 5Ω 以上の $NCR3 \sim NCR6$ では、それ等の範囲が $V_{ge}(on)$ と重なるか或いは下に位置する。これは、ミラー期間の $V_{ge}(on)$ が負性容量を示す V_{ge} 領域内に入ることの意味する。従って、従来のIEGTにおけるスイッチングノイズの原因である、 V_{ge} が振動し、短時間で V_{ge} が上昇してしまう結果、コレクタ電流が急激に通電して大きな dV/dt が発生するという問題が生じる。

【0057】

このように、本実施の形態に係るIEGTによれば、低オン電圧特性は維持したまま、スイッチングノイズの低減が可能になる。ここで、IEGTのターンオンにおけるコレクタ

50

・エミッタ間の電圧変化率 (dV/dt) は緩やかで、且つこの dV/dt はゲート抵抗により調整可能となる。また、本実施の形態に係る IEGT では、メインセル MR の幅 W_a を縮小したり、ダミーセル DR の幅 W_b を広げたり、トレンチ 4 の幅 W_c を広げることで、オン電圧をいっそう低減することができる。

【0058】

(第2の実施の形態)

図5は、本発明の第2の実施の形態に係る電力用半導体装置 (IEGT) の平面レイアウトを示す図である。図6は図5の VI-VI 線に沿った断面図である。本実施の形態においては、バッファ抵抗 14 が、P 型バッファ層 9 の横方向抵抗を主に使用する。換言すれば、バッファ抵抗 14 が平面的に構成される。

10

【0059】

具体的には、ダミーセル DR 内の P 型バッファ層 9 の表面は絶縁膜 10 によって被覆される。しかし、チャネル幅方向における n 型エミッタ層 8 の末端を越えた位置に対応して、P 型バッファ層 9 上にエミッタ電極 12 に電氣的に接続されたバッファ電極 13 が配設される。従って、バッファ抵抗 14 は、P 型バッファ層 9 の n 型エミッタ層 8 と対向する位置からバッファ電極 13 に至る経路において、P 型バッファ層 9 の横方向抵抗を主要素として含むこととなる。

【0060】

なお、バッファ電極 13 は、例えば、接合終端領域やセル周辺領域、或いはチップ内で所定間隔ごとに設けるゲート引出し電極 15 の近傍等に形成することができる。バッファ抵抗 14 の抵抗値は、P 型バッファ層 9 の不純物濃度を調整すること (所定値以下にする等) により容易に設定可能である。

20

【0061】

(第3の実施の形態)

図7は、本発明の第3の実施の形態に係る電力用半導体装置 (IEGT) の平面レイアウトを示す図である。図7の VI-VI 線に沿った断面図は図6図示のものとなる。本実施の形態においても、バッファ抵抗 14 が、P 型バッファ層 9 の横方向抵抗を主に使用する。

【0062】

具体的には、ゲート電極 6 を含むトレンチ 4 が所定間隔ごとに分断される一方、エミッタ電極 12 はトレンチ 4 の分断箇所を含めたメインセル MR 上に連続的に形成される。P 型バッファ層 9 は、トレンチ 4 の分断箇所に位置する P 型接続層 16 を介してエミッタ電極 12 に電氣的に接続される。従って、バッファ抵抗 14 は、P 型バッファ層 9 の n 型エミッタ層 8 と対向する位置から P 型接続層 16 を経てエミッタ電極 12 に至る経路において、P 型バッファ層 9 の横方向抵抗を主要素として含むこととなる。

30

【0063】

なお、本実施の形態においては、P 型接続層 16 は P 型ベース層 7 及び P 型バッファ層 9 と共通の層の一部からなる。しかし、P 型接続層 16 は、その形成の態様にかかわらず、チャネル幅方向におけるゲート電極 6 の末端を越えた位置において、P 型ベース層 7 と P 型バッファ層 9 とを電氣的に接続するものであればよい。

40

【0064】

(第4の実施の形態)

図8は、本発明の第4の実施の形態に係る電力用半導体装置 (IEGT) の平面レイアウトを示す図である。図9は図8の IX-IX 線に沿った断面図である。図8の VI-VI 線に沿った断面図は図6図示のものとなる。本実施の形態においても、バッファ抵抗 14 が、P 型バッファ層 9 の横方向抵抗を主に使用する。

【0065】

具体的には、ゲート電極 6 を含むトレンチ 4 及びエミッタ電極 12 が所定間隔ごとに分断される。トレンチ 4 の分断箇所に帯状で高不純物濃度の P 型接続層 16 H が形成され、P 型ベース層 7 と P 型バッファ層 9 とが P 型接続層 16 H を介して電氣的に接続される。従

50

って、バッファ抵抗14は、P型バッファ層9のn型エミッタ層8と対向する位置からP型接続層16H及びP型ベース層7を経てエミッタ電極12に至る経路において、P型バッファ層9及びP型ベース層7の横方向抵抗を主要素として含むこととなる。

【0066】

なお、P型接続層16Hは、例えば、チップ内で所定間隔ごとに設けるゲート引出し電極15の下側に絶縁膜17を介して配置することができる。

【0067】

(第5の実施の形態)

図10は、本発明の第5の実施の形態に係る電力用半導体装置(IGBT)の平面レイアウトを示す図である。図11は図10のX I - X I 線に沿った断面図である。図10のV I - V I 線に沿った断面図は図6図示のものとなる。本実施の形態においては、バッファ抵抗14が、P型バッファ層9及び低不純物濃度のP型接続層16Lの横方向抵抗を主に使用する。

10

【0068】

具体的には、ゲート電極6を含むトレンチ4及びエミッタ電極12が所定間隔ごとに分断される。トレンチ4の分断箇所に低不純物濃度のP型接続層16Lが形成され、P型ベース層7とP型バッファ層9とがP型接続層16Lを介して電氣的に接続される。従って、バッファ抵抗14は、P型バッファ層9のn型エミッタ層8と対向する位置からP型接続層16L及びP型ベース層7を経てエミッタ電極12に至る経路において、P型接続層16Lの横方向抵抗を主要素として含むこととなる。

20

【0069】

なお、P型接続層16Lは、例えば、チップ内で所定間隔ごとに設けるゲート引出し電極15の下側に絶縁膜17を介して配置することができる。バッファ抵抗14の抵抗値は、P型接続層16Lの不純物濃度を調整することにより容易に設定可能である。

【0070】

(第6の実施の形態)

図12は、本発明の第6の実施の形態に係る電力用半導体装置(IGBT)の平面レイアウトを示す図である。図13は図12のX I I I - X I I I 線に沿った断面図である。図12のV I - V I 線に沿った断面図は図6図示のものとなる。本実施の形態においては、バッファ抵抗14が、P型バッファ層9及びP型延長層19の横方向抵抗を主に使用する

30

【0071】

具体的には、チャネル幅方向におけるゲート電極6の終端を越えた位置に、高不純物濃度のP型層18が形成され、P型層18上に、エミッタ電極12に電氣的に接続された追加電極12aが配設される。P型バッファ層9は、所定パターンで形成されたP型延長層19を介して、P型層18に電氣的に接続される。従って、バッファ抵抗14は、P型バッファ層9のn型エミッタ層8と対向する位置からP型延長層19及びP型層18を経て追加電極12aに至る経路において、P型バッファ層9及びP型延長層19の横方向抵抗を主要素として含むこととなる。

40

【0072】

なお、P型層18及び追加電極12aは、例えば、接合終端領域に配設されたP型ガードリング層及びリング電極とすることができる。バッファ抵抗14の抵抗値は、P型延長層19の不純物濃度を調整することにより容易に設定可能である。

【0073】

(第7の実施の形態)

図14は、本発明の第7の実施の形態に係る電力用半導体装置(IGBT)を示す断面図である。本実施の形態においては、バッファ抵抗14が、無限大の抵抗値を有する。また、ダミーセルDRには、P型ベース層7とP型バッファ層9とが同じ不純物濃度及び深さで形成される場合と比較して、ダミーセルのトレンチ間領域、特にP型バッファ層9内に流入して蓄積される正孔の量を減少させる抑制構造が付加される。この抑制構造は、I E

50

GTのターンオンの過程における最初の期間、即ち、ゲート・エミッタ間印加電圧によりゲート・エミッタ間を充電する期間において、P型コレクタ層3からダミーセルのトレンチ領域へ正孔が流入するのを抑制するために配設される。

【0074】

具体的には、ダミーセルDR内のP型バッファ層9の表面は絶縁膜10によって被覆される。P型バッファ層9は、IEGTのいかなる領域においてもP型ベース層7及びエミッタ電極12に電氣的に接続されず、完全なフローティング状態にある。また、上記抑制構造を構成するため、P型バッファ層9は追加された深さ部分9aを有し、n型ベース層1とP型バッファ層9との間のPn接合が、ゲート電極6を含むトレンチ4よりも深くなるように設定される。ここで、P型バッファ層9の不純物濃度はトレンチ4の下端部近傍で $1 \times 10^{14} \text{ cm}^{-3}$ 以上で、例えば、約 $1 \times 10^{15} \text{ cm}^{-3}$ に設定される。トレンチ4の底部とn型ベース層1とP型バッファ層9との間のPn接合の最も深い箇所との間の深さの差は0.5 μm 以上、望ましく1 μm 以上に設定される。

【0075】

図15(a)、(b)は、実験により得られた、比較例2のIEGT及び本実施の形態に係る実施例2のIEGTのターンオン時の電圧及び電流波形を夫々示すグラフである。図において、 V_{ge} はゲート・エミッタ間電圧、 V_{ce} はコレクタ・エミッタ間電圧、 I_c はコレクタ電流を夫々示す。

【0076】

この実験において、比較例2のIEGT及び実施例2のIEGT共に、IEGTの耐圧は1200V、コレクタ・エミッタ間の印加電圧は600V、ゲート抵抗 R_g は51 Ω 、P型バッファ層9とエミッタ電極12との間の抵抗は無限大、P型バッファ層9の不純物濃度はトレンチ4の下端部近傍で約 $1 \times 10^{15} \text{ cm}^{-3}$ とした。IEGTのトレンチ4の底部とn型ベース層1とP型バッファ層9との間のPn接合の最も深い箇所との間の深さの差は、比較例2が0 μm 、実施例2が1.5 μm とした。

【0077】

図15(a)図示の如く、比較例2のIEGTでは、ミラー期間 $t_1 \sim t_2$ における dV/dt が約1 kV/ μs と小さ過ぎるため、ミラー期間が2.5 μs 以上となり、ターンオンが遅くなった。これに対して、図15(b)図示の如く、実施例2のIEGTでは、ミラー期間 $t_1 \sim t_2$ における dV/dt が約3.5 kV/ μs と適度であるため、ミラー期間 $t_1 \sim t_2$ が1.5 μs となり、ターンオンが速くなった。

【0078】

図16は、シミュレーションにより得られた、比較例2のIEGT及び実施例2のIEGTのターンオン時のゲート電荷特性を夫々示すグラフである。図において、 V_{ge} はゲート・エミッタ間電圧、 V_{ce} はコレクタ・エミッタ間電圧、 Q_g はゲート電荷を夫々示す。また、実線はダイナミック計算により得られた特性、破線はスタティック計算($V_{ce} = 0 \text{ V}$ 及び $V_{ce} = 600 \text{ V}$)により得られた特性を夫々示す。シミュレーションにおけるIEGTの条件は、本シミュレーションのパラメータを除いて、図15(a)、(b)に関して説明したものと同一である。

【0079】

比較例2のIEGTでは、 $V_{ce} = 600 \text{ V}$ 時の曲線と0V時の曲線とは V_{ge} が約-20Vで分岐する。これに対して、実施例2のIEGTは、両曲線は V_{ge} が約-7.5Vになるまで分岐しない。このため、比較例2のIEGTの曲線は実施例2のIEGTの曲線よりもゲート電荷(Q_g)の小さい側にシフトし、ミラー期間が長くなる。これは、比較例2のIEGTの方がミラー期間に放電しなければならない正の電荷量が多いことを意味する。本発明者等の研究によれば、IEGTにおけるミラー期間の長さやダミーセルDRとの関係に関して次のようなことが判明した。

【0080】

比較例2のIEGTでは、ターンオンの過程の最初の期間、即ち、ゲート・エミッタ間印加電圧(この期間では主に負の電圧)によりゲート・エミッタ間を充電する期間において

、P型コレクタ層3からn型ベース層1を通過してP型バッファ層9に正孔が多量に流入し、P型バッファ層9の電位が徐々に上昇する。P型バッファ層9の電位の上昇は、P型バッファ層9、n型ベース層1、P型ベース層7、絶縁ゲート電極6より構成されるP型チャンネルMOSFETに悪影響を及ぼす。即ち、P型バッファ層9の電位の上昇により、ターンオンの過程の最初の期間の早い時機に、P型チャンネルMOSFETのP型チャンネルが、トレンチ4の先端部（図14の点Aに相当する位置）でピンチオフする。その結果、P型バッファ層9から正孔が排出されなくなり、P型バッファ層9とトレンチ4との界面に 10^{18} のオーダーの正孔が残される。

【0081】

これに対して、実施例2のIEGTでは、P型バッファ層9がトレンチ4より深く形成されるので、ターンオンの過程の最初の期間において、P型コレクタ層3からn型ベース層1を通過してP型バッファ層9に流入して蓄積される正孔の量が減少する。これは、P型バッファ層9の電位上昇とこれに伴うトレンチ先端部（図14の点Aに相当する位置）の電位上昇が抑制されるためである。その結果、上記P型チャンネルMOSFETが、ターンオンの過程の最初の期間の遅い時機まで機能し、P型バッファ層9内に蓄積される正孔の量が更に低減される。

【0082】

このように、本実施の形態に係るIEGTによれば、低オン電圧特性は維持したまま、高速なスイッチング特性を得ることが可能になる。ここで、IEGTのターンオンにおけるコレクタ・エミッタ間の電圧変化率（ dV/dt ）は最適化され、且つこの dV/dt はゲート抵抗により調整可能となる。

【0083】

（第8の実施の形態）

図17は、本発明の第8の実施の形態に係る電力用半導体装置（IEGT）を示す断面図である。本実施の形態においても、P型バッファ層9が完全なフローティング状態（バッファ抵抗14が無限大の抵抗値を有する）にある。また、n型ベース層1からP型バッファ層9への正孔の流入を抑制する抑制構造として、ダミーセルDRの間隔は、メインセルMRの間隔よりも狭くなるように設定される。

【0084】

具体的には、メインセルMRとダミーセルDRとは交互に形成されており、1つのメインセルMRに対して複数の間隔の狭いダミーセルDRが連続的に形成される。メインセルMR及びダミーセルDRを区画するトレンチ4、4aは同じ深さを有するが、配置間隔が異なる。メインセルMRを挟む一対のトレンチ4間の間隔（中心から中心）をW1、ダミーセルDRを挟む一対のトレンチ4、4a間の間隔（中心から中心）をW2すると、 $W2/W1$ は $2/3$ 以下、望ましくは $1/2$ 以下に設定される。

【0085】

メインセルMRに隣接するトレンチ4内には、ゲート絶縁膜5に包まれた状態でゲート電極6が埋め込まれる。一方、ダミーセルDRのみに隣接するトレンチ4aには、絶縁膜5aに包まれた状態でダミー電極20が埋め込まれる。ダミー電極20はエミッタ電極12に電氣的に接続される。しかし、ダミー電極20はエミッタ電極12ではなく、ゲート電極6に電氣的に接続してもよい。

【0086】

ダミーセルDRの幅を狭くすることにより、ターンオンの過程の最初の期間において、n型ベース層1からP型バッファ層9に流入する正孔の量が減少する。従って、IEGTのターンオンの過程で、P型バッファ層9の電位上昇を防ぐことができ、低オン電圧特性は維持したまま、高速なスイッチング特性を得ることが可能になる。

【0087】

（第9の実施の形態）

図18は、本発明の第9の実施の形態に係る電力用半導体装置（IEGT）を示す断面図である。本実施の形態においても、P型バッファ層9が完全なフローティング状態（バッ

10

20

30

40

50

ファクタ抵抗14が無限大の抵抗値を有する)にある。また、n型ベース層1からP型バッファ層9への正孔の流入を抑制する抑制構造として、ゲミーセルDRのトレンチの深さが、メインセルMRのトレンチの深さよりも大きくなるように設定される。

【0088】

具体的には、メインセルMRとゲミーセルDRとは交互に形成されており、1つのメインセルMRに対して深いトレンチ4bを有する複数のゲミーセルDRが連続的に形成される。メインセルMR及びゲミーセルDRを区画するトレンチ4、4bは等間隔で配置されるが、異なる深さを有する。メインセルMRに隣接する深さをD1、ゲミーセルDRのみに隣接するトレンチ4bの深さをD2すると、D2-D1は1μm以上、望ましくは1.5μm以上に設定される。

10

【0089】

メインセルMRに隣接するトレンチ4内には、ゲート絶縁膜5に包まれた状態でゲート電極6が埋め込まれる。一方、ゲミーセルDRのみに隣接するトレンチ4bには、絶縁膜5bに包まれた状態でゲミー電極20が埋め込まれる。ゲミー電極20はエミッタ電極12に電気的に接続される。しかし、ゲミー電極20はエミッタ電極12ではなく、ゲート電極6に電気的に接続してもよい。

【0090】

ゲミーセルDRのトレンチ4bの深さを大きくすることにより、ターンオンの過程の最初の期間において、n型ベース層1からP型バッファ層9に流入する正孔の量が減少する。従って、I E G Tのターンオンの過程で、P型バッファ層9の電位上昇を防ぐことができ、低オン電圧特性は維持したまま、高速なスイッチング特性を得ることが可能になる。

20

【0091】

(第10の実施の形態)

図19は、本発明の第10の実施の形態に係る電力用半導体装置(I E G T)を示す断面図である。本実施の形態においても、P型バッファ層9が完全なフローティング状態(バッファ抵抗14が無限大の抵抗値を有する)にある。また、n型ベース層1からP型バッファ層9への正孔の流入を抑制する抑制構造として、ゲミーセルDRのトレンチの底部に接して、n型ベース層1内にP型張出し層が配設される。

【0092】

具体的には、メインセルMRとゲミーセルDRとは交互に形成されており、1つのメインセルMRに対して複数のゲミーセルDRが連続的に形成される。メインセルMR及びゲミーセルDRを区画するトレンチ4、4cは等間隔で配置され且つ同じ深さを有する。しかし、ゲミーセルDRのみに隣接するトレンチ4cの底部に接して、n型ベース層1内に、ゲミーセルDR内に張出すようにP型張出し層21が配設される。P型張出し層21は、トレンチ4cの底部から1μm以上、望ましくは1.5μm以上の深さにまで至るように形成される。P型張出し層21は、例えば、トレンチ4cを形成した後、このトレンチ4cの底部にP型不純物をイオン注入し、熱拡散する方法等により形成することができる。

30

【0093】

メインセルMRに隣接するトレンチ4内には、ゲート絶縁膜5に包まれた状態でゲート電極6が埋め込まれる。一方、ゲミーセルDRのみに隣接するトレンチ4cには、絶縁膜5cに包まれた状態でゲミー電極20が埋め込まれる。ゲミー電極20はエミッタ電極12に電気的に接続される。しかし、ゲミー電極20はエミッタ電極12ではなく、ゲート電極6に電気的に接続してもよい。

40

【0094】

ゲミーセルDRのトレンチ4bの底部にP型張出し層21を配設することにより、ターンオンの過程の最初の期間において、n型ベース層1からP型バッファ層9に流入する正孔の量が減少する。従って、I E G Tのターンオンの過程で、P型バッファ層9の電位上昇を防ぐことができ、低オン電圧特性は維持したまま、高速なスイッチング特性を得ることが可能になる。

50

【0095】

(第11の実施の形態)

図20は、本発明の第11の実施の形態に係る電力用半導体装置(IEGT)の平面レイアウトを示す図である。図21は図20のXXI-XXI線に沿った断面図である。図20のVI-VI線に沿った断面図は図6図示のものとなる。本実施の形態においては、パッパ抵抗14が無限大の抵抗値を有する。また、チャネル幅方向におけるゲート電極6の末端を越えた位置に、P型ベース層7とP型パッパ層9とを選択的に接続するスイッチ素子が形成される。このスイッチ素子は、IEGTのターンオンの過程における最初の期間、即ち、ゲート・エミッタ間印加電圧によりゲート・エミッタ間を充電する期間において、P型パッパ層9からP型ベース層7へ正孔を排出するために配設される。

10

【0096】

具体的には、ゲミセルDR内のP型パッパ層9の表面は絶縁膜10によって被覆される。P型パッパ層9は、IEGTのいかなる領域においてもP型ベース層7及びエミッタ電極12に電氣的に接続されず、完全なフローティング状態にある。また、ゲート電極6を含むトレンチ4及びエミッタ電極12が所定間隔ごとに分断され、ここに帯状のn型介在層23が配設される。n型介在層23上には、チップ内で所定間隔ごとに設けるゲート引出し電極15が絶縁膜17を介して配設される。

【0097】

ゲート電極6の端部及びゲート引出し電極15に対向するn型介在層23の部分には、これ等の電極に負の電圧が印加される間、P型の反転層が誘起される。即ち、P型ベース層7とP型パッパ層9との間には、n型介在層23をチャネル領域とし且つゲート電極6の端部及びゲート引出し電極15を駆動電極とするP型チャネルMOSFET(上述のスイッチ素子)が形成される。

20

【0098】

なお、本実施の形態においては、n型介在層23は低不純物濃度のn型ベース層1の一部からなる。しかし、n型介在層23は、n型ベース層1の一部でなくとも、チャネル幅方向におけるゲート電極6の端部に対向する位置において、P型ベース層7とP型パッパ層9と間に介在するn型層であればよい。また、上記P型チャネルMOSFETは、ゲート電極6の端部のみを駆動電極として駆動可能であるため、n型介在層23は、ゲート引出し電極15に対応して配設する必要はない。

30

【0099】

本実施の形態に係るIEGTによれば、ターンオンの過程の最初の期間、即ち、ゲート・エミッタ間印加電圧(この期間では主に負の電圧)によりゲート・エミッタ間を充電する期間において、P型チャネルMOSFETを通してP型パッパ層9からP型ベース層7に正孔が排出される。このため、ターンオンの過程の最初の期間において、P型パッパ層9内に蓄積される正孔の量が低減される。その結果、図15(b)を参照して述べたように、ミラー期間における dV/dt が適度となり、ミラー期間が短縮され、ターンオンが速くなる。

【0100】

従って、本実施の形態に係るIEGTによれば、低オン電圧特性は維持したまま、高速なスイッチング特性を得ることが可能になる。ここで、IEGTのターンオンにおけるコレクタ・エミッタ間の電圧変化率(dV/dt)は最適化され、且つこの dV/dt はゲート抵抗により調整可能となる。

40

【0101】

(第12の実施の形態)

図22は、本発明の第12の実施の形態に係る電力用半導体装置(IEGT)の平面レイアウトを示す図である。図23は図22のXXII-XXII線に沿った断面図である。図22のVI-VI線に沿った断面図は図6図示のものとなる。本実施の形態においても、パッパ抵抗14が無限大の抵抗値を有する。また、P型ベース層7とP型パッパ層9とを選択的に接続するスイッチ素子が、アレナ型のゲート電極を有するP型

50

チャネルMOSFETからなる。

【0102】

具体的には、ゲート電極6を含むトレンチ4及びエミッタ電極12が所定間隔ごとに分断され、トレンチ4の分断箇所にはトレンチ4の幅でn型介在層24が配設される。また、n型介在層24の上には、帯状のゲート電極27が絶縁膜26を介して配設される。これにより、P型ベース層7とP型バッファ層9との間に、n型介在層24をチャネル領域とし且つゲート電極27を駆動電極とするP型チャネルMOSFET（上述のスイッチ素子）が形成される。

【0103】

本実施の形態に係るIEGTにおいても、ターンオンの過程の最初の期間において、P型チャネルMOSFETを通してP型バッファ層9からP型ベース層7に正孔が排出される。従って、低オン電圧特性は維持したまま、高速なスイッチング特性を得ることが可能になる。

【0104】

（第13の実施の形態）

図24は、本発明の第13の実施の形態に係る電力用半導体装置（IEGT）を示す断面図である。本実施の形態は、第1乃至第12の実施の形態の変更例に関するもので、図24は図6図示の断面に対応する断面を示す。

【0105】

具体的には、ダミーセルDRのP型バッファ層9表面にn型層28が形成される。n型層28は、メインセルMRのP型ベース層7表面に形成されたn型エミッタ層8と同じ工程で形成され、n型エミッタ層8と実質的に同じ層からなる。この構成により、IEGTの製造プロセスが容易になる。また、P型バッファ層9の横方向抵抗を使用してバッファ抵抗14を形成する場合には、n型層28をバッファ抵抗14の値を調整するために利用することができる。

【0106】

（第14の実施の形態）

図27は、本発明の第14の実施の形態に係る電力用半導体装置を示す断面図である。図27図示の如く、高抵抗のn型ベース層31の一方側には、高不純物濃度のP型コレクタ層33が配設される。なお、n型ベース層31とP型コレクタ層33との間に高不純物濃度のn型バッファ層を配設することもできる。n型ベース層31の他方側には、n型ベース層31内に、メインセルMRとダミーセルDRとを区画するように間隔を置いて複数のトレンチ34が形成される。

【0107】

メインセルMR内でn型ベース層31の表面内に、n型ベース層31よりも不純物濃度の高いn型バリア層32が形成される。n型バリア層32上にはP型ベース層37が配設される。P型ベース層37の表面内にはn型エミッタ層38が形成される。ダミーセルDR内でn型ベース層31上にはP型ダイバータ層39が配設される。P型ベース層37とP型ダイバータ層39とは別々の層として形成することもできるし、共通のP型層をトレンチ34により分割することにより形成することもできる。

【0108】

P型コレクタ層33とコンタクトするようにこの上にコレクタ電極41が配設される。P型ベース層37及びn型エミッタ層38とコンタクトするようにこれ等の上にエミッタ電極42が配設される。なお、エミッタ電極42とコンタクトするため、P型ベース層37内に高不純物濃度のP型コンタクト層を形成してもよい。

【0109】

複数のトレンチ34のうちで、メインセルMRに隣接するトレンチ34内に、ゲート絶縁膜35で包まれた状態でゲート電極36が埋め込まれる。メインセルMRとダミーセルDRとが交互に配置される場合は、全てのトレンチ34の夫々内にゲート電極36が配設される。ゲート電極36は、n型ベース層31とn型エミッタ層38とにより挟まれたP型

ベース層 37 の部分に、ゲート絶縁膜 35 を介して対向する。

【0110】

従って、メインセル MR 内には、P 型ベース層 37 をチャネル領域として n 型エミッタ層 38 を n 型ベース層 31 に選択的に接続する電子注入用の n 型チャネル MOSFET が形成される。一方、ダミーセル DR 内には、このような n 型チャネル MOSFET は形成されない。

【0111】

図 27 図示の電力用半導体装置では、n 型バリア層 32 の不純物濃度や、トレンチ 34 の深さや幅、間隔等を最適設計することにより、サイリスタ並みの低オン電圧を得ることができる。これは、n 型バリア層 32 のバリア効果やメインセル MR が形成する狭い電流通路により、エミッタ電極 42 への正孔の排出が制限され、これにより、n 型エミッタ層 38 から n 型ベース層 31 への電子の注入効率が向上するからである。

【0112】

ダミーセル DR 内の P 型ダイバータ層 39 上にダイバータ電極 43 が配設される。ダイバータ電極 43 は整流素子 44 を介してエミッタ電極 42 に電氣的に接続される。整流素子 44 のカソード側はエミッタ電極 42 に電氣的に接続され、アノード側はダイバータ電極 43 に接続される。

【0113】

図 28 (a)、(b) は、図 27 図示の電力用半導体装置の動作を示す図である。なお、整流素子 44 は、ビルトイン電圧 (およそ 0.7 V) 以上の電位が P 型ダイバータ層 39 に掛ると導通状態となるように設定される。ターンオフ時に整流素子 44 が導通状態となると、整流素子 44 を通してエミッタ電極 42 へ正孔が排出される。

【0114】

図 28 (a) 図示の如く、オン状態では、n 型バリア層 32 により P 型ベース層 37 への正孔の排出抵抗は高くなる。この際、P 型ダイバータ層の電位は低いため、整流素子 44 は導通状態とならず、正孔は排出されない。即ち、P 型ダイバータ層 39 が形成されたダミーセルは、I E G T のダミーセルと同じ効果をもたらす。このため、n 型バリア層のバリア効果と併せて、装置のオン抵抗が大幅に低減される。

【0115】

一方、図 28 (b) 図示の如く、ターンオフ時には P 型ダイバータ層 39 の電位が上昇し、整流素子 44 が導通状態となる。このため、n 型ベース層 31 から P 型ダイバータ層 39 を経由してエミッタ電極 42 へ正孔が排出される。この際、n 型バリア層 32 の正孔に対する高い抵抗により、n 型エミッタ層 38 を含むメインセルに流れる正孔の量は、P 型ダイバータ層 39 を含むダミーセルのそれよりも少ない。即ち、ターンオフ時には、主に P 型ダイバータ層 39 から正孔が排出されるため、ターンオフ時間が短くなり、ターンオフ損失が低減される。

【0116】

また n 型バリア層 32 による副次的な効果として、n 型エミッタ層 38 の直下を流れる正孔電流が I E G T、C S T B T、ダイバータ構造のすべてと比較して低減される。これにより、電力用半導体装置のラッチアップ耐量が増加し、遮断耐量、負荷短絡耐量が向上する。

【0117】

(第 15 の実施の形態)

図 29 は、本発明の第 15 の実施の形態に係る電力用半導体装置を示す断面図である。本実施の形態においては、図 27 図示の整流素子 44 がその一例であるダイオード 45 からなる。

【0118】

具体的には、n 型エミッタ層 38、トレンチ 34 内の絶縁膜 35、及び P 型ダイバータ層 39 上に、P 型アノード層 46 及び n 型カソード層 47 を有する半導体層が配設される。P 型アノード層 46 はダイバータ電極 43 にコンタクトし、n 型カソード層 47 はエミッ

10

20

30

40

50

タ電極４２にコンタクトする。この装置は、次のような方法で形成することができる。

【０１１９】

先ず、*n*型（或いは*P*型）の不純物をドーパされた多結晶シリコンを基板の表面にＣＶＤなどの方法で堆積する。導電型を変える部分には、*P*型（或いは*n*型）の不純物をイオン注入後、熱拡散を行う。次に、ゲイバータ電極４３及びエミッタ電極４２を、夫々*P*型アノード層４６及び*n*型カソード層４７にコンタクトするように形成する。

【０１２０】

（第１６の実施の形態）

図３０は、本発明の第１６の実施の形態に係る電力用半導体装置を示す断面図である。本実施の形態においては、図２７図示の整流素子４４として機能するダイオード４５が、基板の表面上に絶縁膜を介して配設される。

10

【０１２１】

具体的には、*n*型エミッタ層３８、トレンチ３４内の絶縁膜３５、及び*P*型ゲイバータ層３９上に絶縁膜４８が配設される。絶縁膜４８上に、*P*型アノード層４６及び*n*型カソード層４７を有する半導体層が配設される。*P*型アノード層４６はゲイバータ電極４３にコンタクトし、*n*型カソード層４７はエミッタ電極４２にコンタクトする。この装置によれば、ゲート電極３６の上部の絶縁性を高め、装置の信頼性を向上することができる。

【０１２２】

（第１７の実施の形態）

図３１は、本発明の第１７の実施の形態に係る電力用半導体装置を示す断面図である。本実施の形態においては、図２７図示の整流素子４４として機能するダイオード４５が、基板の表面上に直接配設される。

20

【０１２３】

具体的には、*n*型エミッタ層３８、トレンチ３４内の絶縁膜３５、及び*P*型ゲイバータ層３９上に、*P*型アノード層４６及び*n*型カソード層４７を有する半導体層が配設される。ゲイバータ電極４３は省略され、従って、*P*型アノード層４６は*P*型ゲイバータ層３９にコンタクトし、*n*型カソード層４７はエミッタ電極４２にコンタクトする。この装置によれば、エミッタ側の配線構造を簡略化することができる。

【０１２４】

（第１８の実施の形態）

図３２は、本発明の第１８の実施の形態に係る電力用半導体装置を示す断面図である。本実施の形態においては、ゲイバータ電極４３とエミッタ電極４２とが、これ等を選択的に接続する*P*型チャネルＭＯＳＦＥＴ５０を介して接続される。*P*型チャネルＭＯＳＦＥＴ５０は、ゲート電極３６に電気的に接続された駆動電極により駆動される。

30

【０１２５】

図３２図示の電力用半導体装置においては、ターンオフ時にゲート・エミッタ間印加電圧が正から負に低下し（ゲート電極３６の電位の変化）、所定の負の値になると、*P*型チャネルＭＯＳＦＥＴ５０が導通状態となる。このため、正孔が*n*型ベース層３１から*P*型ゲイバータ層３９を経由してエミッタ電極４２へ排出される。

【０１２６】

*P*型チャネルＭＯＳＦＥＴ５０の駆動電極を、主構造のゲート電極３６と連動させることにより、図２７の装置と異なり、オン状態で*P*型ゲイバータ層３９の電位が上昇しても正孔の排出を防止することができる。また、ＭＯＳＦＥＴはビルトイン電圧がないため、ターンオフ時の正孔の排出抵抗を下げることができる。

40

【０１２７】

（第１９の実施の形態）

図３３は、本発明の第１９の実施の形態に係る電力用半導体装置を示す断面図である。本実施の形態においては、図３２図示の*P*型チャネルＭＯＳＦＥＴ５０として機能するＭＯＳＦＥＴ５１が基板のバルク内に形成される。

【０１２８】

50

具体的には、P型ダイバータ層39の表面内に、トレンチ34に接してn型介在層52が形成される。更に、n型介在層52の表面内にP型対向層53が形成される。n型介在層52及びP型対向層53は、エミッタ電極42の一体的な延長部分である追加電極54にコンタクトする。P型チャネルMOSFET51は、n型介在層52をチャネル領域として使用し、P型対向層53及びP型ダイバータ層39の一部を一对のソース/ドレインとして使用し、ゲート絶縁膜35を介して介在層52に対向するゲート電極36の部分を駆動電極として使用する。この装置によれば、エミッタ側の配線構造を簡略化することができる。

【0129】

(第20の実施の形態)

図34は、本発明の第20の実施の形態に係る電力用半導体装置を示す断面図である。本実施の形態においては、図32図示のP型チャネルMOSFET50として機能するMOSFET55が基板の表面上に形成される。

【0130】

具体的には、P型チャネルMOSFET55の駆動電極56が、n型エミッタ層38、トレンチ34、及びP型ダイバータ層39上に絶縁膜57を介して配設される。駆動電極56はゲート電極36と一体的に形成され、ゲート電極36駆動電極56とは断面T字形の形状を構成する。駆動電極56上には、P型チャネルMOSFET55の一对のP型ソース/ドレイン層61、62、及びチャネル領域となるn型ベース層63を有する半導体層が、絶縁膜58を介して配設される。一对のP型ソース/ドレイン層61、62は、ダイバータ電極43及びエミッタ電極42に夫々コンタクトする。

【0131】

図34図示の装置によれば、三重拡散プロセスが必要となる図32図示の装置と比較して、P型チャネルMOSFETのしきい値電圧の設計が容易となる。しかし、この装置では、図32図示の装置と比較して、配線構造は複雑となる。

【0132】

(第21の実施の形態)

図35(a)～(c)は、本発明の第21の実施の形態に係る電力用半導体装置の製造方法を順に示す断面図である。この製造方法は、図27乃至図34図示の装置(第14乃至第20の実施の形態)のいずれにも適用することができる。

【0133】

まず、n型ベース層31の表面内に、n型エミッタ層38に対応する領域に重ならないように、複数のP型ダイバータ層39を拡散により形成する(図35(a))。本実施の形態においては、各P型ダイバータ層39は、トレンチ34よりも深くなるように形成している。しかし、図27図示のP型ダイバータ層39のような浅い層とすることもできる。

【0134】

次に、複数のP型ダイバータ層39間で、n型バリア層32、P型ベース層37、n型エミッタ層38に対応して不純物のイオン注入を行う。次に、熱処理を行い、イオン注入された不純物の拡散及び活性化を行い、n型バリア層32、P型ベース層37、n型エミッタ層38を形成する(図35(b))。次に、P型ダイバータ層39とP型ベース層37とを分けるように、複数のトレンチ34を形成する。次に、各トレンチ34内にゲート絶縁膜35及びゲート電極36を順次形成する(図35(c))。

【0135】

この方法によれば、P型ベース層37とP型ダイバータ層39とが別に形成され、最後にトレンチ34により分割される。この場合、P型ベース層37の不純物濃度を独立して制御することができるため、MOSチャネル領域の信頼性が高くなる。

【0136】

(第22の実施の形態)

図36(a)～(d)は、本発明の第22の実施の形態に係る電力用半導体装置の製造方法を順に示す断面図である。この製造方法は、図27乃至図34図示の装置(第14乃至第

10

20

30

40

50

20の実施の形態)のいずれにも適用することができる。

【0137】

まず、 n 型ベース層31の表面内に、間隔をおいて複数のトレンチ34を形成する。次に、各トレンチ34内にゲート絶縁膜35及びゲート電極36を順次形成する(図36(a))。次に、複数のトレンチ34間の、例えば1つおきの領域で、 n 型ベース層31の表面内に n 型バリア層32を拡散により形成する(図36(b))。

【0138】

次に、複数のトレンチ34間の全ての領域で、 n 型ベース層31及び n 型バリア層32の表面内に、 P 型の不純物を拡散させる。これにより、 P 型ベース層37と P 型ダイバータ層39とを同時に形成する(図36(c))。次に、 P 型ベース層37の表面内に、 n 型エミッタ層38を拡散により形成する(図36(d))。

【0139】

この方法によれば、トレンチ34に対して自己整合的に P 型ベース層37及び P 型ダイバータ層39が形成される。この場合、 P 型ダイバータ層39のマスク合わせずれの心配がない。

【0140】

(第23の実施の形態)

図37は、本発明の第23の実施の形態に係る電力用半導体装置を示す断面図である。本実施の形態に係る装置は、図27図示の装置と同様、 P 型ダイバータ層39をエミッタ電極42に電気的に接続する整流素子44を有する。しかし、本実施の形態においては、 P 型ダイバータ層39の存在する領域が広く形成される。

【0141】

具体的には、メインセルMRとダミーセルDRとは交互に形成されておらず、1つのメインセルMRに対して複数のダミーセルDRが連続的に形成される。換言すると、メインセルMRの両側の幅広い P 型ダイバータ層39内に、複数のダミーセルDRを区画するようにダミー用のトレンチ34aが形成される。ダミー用のトレンチ34aは、メイン用のトレンチ34と実質的に同寸法及び同間隔で形成される。ダミー用のトレンチ34aには、絶縁膜35aに包まれた状態でダミー電極65が埋め込まれる。ダミー電極65はエミッタ電極42に電気的に接続される。

【0142】

P 型ダイバータ層39の幅が広がると、I E G T構造における狭い電流通路を形成して電子の注入効率を向上させるという効果は高くなる。反面、トレンチ34の間隔が広すぎるとトレンチ34の下端部で電界集中が起こり、耐圧低下を招く。その対策としてダミー用のトレンチ34aが形成される。この場合、ダミー電極65がゲート電極36に電気的に接続されていると、ゲート容量が大きくなり装置のスイッチング速度が遅くなる。このため、ダミー電極65がエミッタ電極42に電気的に接続される。従って、この装置によれば、オン抵抗を低減する一方、ゲート容量の増加によるスイッチング速度の低下を防止することができる。

【0143】

(第24の実施の形態)

図38は、本発明の第24の実施の形態に係る電力用半導体装置を示す断面斜視図である。図39は、図38のXXXIX-XXXIX線に沿った断面図である。本実施の形態に係る装置は、図32図示の装置と同様、 P 型ダイバータ層39をエミッタ電極42に選択的に接続する P 型チャネルMOSFET70を有する。しかし、本実施の形態においては、 P 型ベース層37と P 型ダイバータ層39とは、チャネル幅方向でトレンチ34に沿って同じ側に並べて配置される。

【0144】

具体的には、 n 型ベース層31の表面内に、 n 型ベース層31よりも不純物濃度の高い n 型バリア層32が形成される。 n 型バリア層32の表面内には P 型ベース層37が配設される。 P 型ベース層37の表面内には n 型エミッタ層38が形成される。また、 n 型バリア層32の表面内には、 n 型ベース層31よりも不純物濃度の高い n 型バリア層32が形成される。

10

20

30

40

50

ア層 32 から離間して、 n 型ベース層 31 の表面内に P 型ダイバータ層 39 が配設される。トレンチ 34 は、 n 型エミッタ層 38、P 型ベース層 37、 n 型バリア層 32、P 型ベース層 37 の夫々を 2 つの部分に分割するように形成される。

【0145】

P 型ベース層 37 と P 型ダイバータ層 39 とに挟まれた n 型ベース層 31 及び n 型バリア層 32 の表面部分上には、ゲート絶縁膜 71 を介してゲート電極 72 が配設される。従って、 n 型ベース層 31 及び n 型バリア層 32 をチャネル領域として、P 型ダイバータ層 39 を P 型ベース層 37 に選択的に接続する正孔排出用の P 型チャネル MOSFET 70 が形成される。P 型チャネル MOSFET 70 の駆動電極であるゲート電極 72 は、トレンチ 34 内のゲート電極 36 に電氣的に接続される。従って、ターンオフ時に、P 型チャネル MOSFET 70 を通じて、P 型ダイバータ層 39 から P 型ベース層 37 を経由してエミッタ電極 42 へ正孔を排出することができる。

10

【0146】

この装置構造は、第 21 及び第 22 の実施の形態で述べた製造方法よりも簡単な方法で製造することができる。図 40 (a) ~ (d) は、本発明の第 24 の実施の形態に係る電力用半導体装置の製造方法を順に示す断面図である。

【0147】

まず、 n 型ベース層 31 の表面内に、 n 型バリア層 32、P 型ベース層 37、 n 型エミッタ層 38、P 型ダイバータ層 39 を拡散により夫々形成する (図 40 (a))。次に、これ等の層 32、37、38、39 の夫々を 2 つの部分に分割するように、基板の表面から n 型ベース層 31 内に至るトレンチ 34 を形成する。次に、トレンチ 34 内からこれ等の層 32、37、38、39 の表面に亘って、絶縁膜 76 及び導電膜 77 を順次形成する (図 40 (b))。

20

【0148】

次に、トレンチ 34 内及び n 型ベース層 31 及び n 型バリア層 32 の表面表面領域上の部分を残して、絶縁膜 76 及び導電膜 77 を除去する。これにより、トレンチ 34 内のゲート絶縁膜 35 及びゲート電極 36 と、P 型チャネル MOSFET 70 のゲート絶縁膜 71 及びゲート電極 72 を形成する (図 40 (c))。次に、ゲート電極 72 を絶縁酸化膜で被覆し、更に、エミッタ電極 42 を形成する (図 40 (d))。

【0149】

この方法によれば、難度の低い製造方法で図 32 図示の装置と等価な機能を有する装置を実現することができる。また、P 型ベース層 37 の不純物濃度を P 型ダイバータ層 39 から独立して制御することができるため、MOS チャネル領域の信頼性が高くなる。

30

【0150】

(第 25 の実施の形態)

図 41 (a)、(b) は、本発明の第 25 の実施の形態に係る電力用半導体装置及びその変更例を示す断面斜視図である。本実施の形態は、 n 型エミッタ層 38 の構造に関する。図 41 (a)、(b) 図示の n 型エミッタ層 38 の構造は、図 27 乃至図 37 図示の装置 (第 14 乃至第 23 の実施の形態) のいずれにも適用することができる。

【0151】

図 41 (a) において、 n 型エミッタ層 38 が、トレンチ 34 に沿って延びる帯状の層として、P 型ベース層 37 の表面内に形成される。この場合、 n 型エミッタ層 38 及び P 型ベース層 37 は、トレンチ 34 と平行に並んだ夫々の表面部分においてエミッタ電極 42 とコンタクトする。

40

【0152】

図 41 (b) において、 n 型エミッタ層 38 が、トレンチ 34 に沿って分割された複数の層部分として、P 型ベース層 37 の表面内に形成される。この場合、 n 型エミッタ層 38 及び P 型ベース層 37 は、トレンチ 34 に沿って交互にエミッタ電極 42 とコンタクトする。

【0153】

50

図41(b)図示の構造によれば、装置の性能向上のために構造を微細化しても、エミッタ電極42に対するn型エミッタ層38のコンタクトが、マスク合わせなしでも可能となる。この構造によりトレンチ34の間隔を狭くすることができ、従って、正孔の排出抵抗を更に高めてオン抵抗を低減することができる。

【0154】

(第26の実施の形態)

図42は、本発明の第26の実施の形態に係る電力用半導体装置を示す断面図である。本実施の形態においては、横型の電力用半導体装置の一例として、図27図示の装置と等価の機能を有する装置を示す。

【0155】

図42図示の如く、この装置は、半導体支持層81、絶縁層82、及び半導体活性層83を有するSOI(Silicon On Insulator)基板上に形成される。活性層83が高抵抗のn型ベース層31として使用される。図42中の右側に、P型コレクタ層33及びコレクタ電極41が配設される。図42中の左側の、P型コレクタ層33から離間した位置で、n型ベース層31内にトレンチ34が形成される。トレンチ34の周囲には、図27図示の装置の上側部分と同じ構造が形成される。

【0156】

図27図示の装置では、コレクタ電極とエミッタ電極とが基板を挟んで配設された縦型の構造であるため、主電流がn型ベース層31を縦に流れる。これに対して、図42図示の装置では、コレクタ電極とエミッタ電極とが基板の同じ側に配設された横型の構造であるため、主電流がn型ベース層31を横に流れる。しかし、この点を除けば、両装置の動作原理は全く同じである。このように、第1乃至第25の実施の形態においては、縦型の電力用半導体装置が例示されるが、これ等の実施の形態の特徴は、図42に図示の如く、横型の電力用半導体装置にそのまま適用することができる。

【0157】

なお、本発明の思想の範囲において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

【0158】

【発明の効果】

本発明によれば、低オン電圧を維持し且つスイッチング特性の良好な電力用半導体装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る電力用半導体装置(IEGT)を示す断面図。

【図2】(a)、(b)は、実験により得られた、比較例1のIEGT及び第1の実施の形態に係る実施例1のIEGTのターンオン時の電圧及び電流波形を夫々示すグラフ。

【図3】(a)、(b)は、シミュレーションにより得られた、比較例1のIEGT及び実施例1のIEGTのターンオン時のゲート電荷特性を夫々示すグラフ。

【図4】(a)、(b)は、シミュレーションにより得られた、バッファ抵抗の抵抗値 R_{buff} に対する dV/dt 及びオン電圧の関係、並びに R_{buff} に対する負性容量を示す V_{ge} の範囲 NCR 及びオン電圧との関係を夫々示すグラフ。

【図5】本発明の第2の実施の形態に係る電力用半導体装置(IEGT)の平面レイアウトを示す図。

【図6】図5、図7、図8、図10、図12、図20、図22のVI-VI線に沿った断面図。

【図7】本発明の第3の実施の形態に係る電力用半導体装置(IEGT)の平面レイアウトを示す図。

【図8】本発明の第4の実施の形態に係る電力用半導体装置(IEGT)の平面レイアウトを示す図。

【図9】図8のIX-IX線に沿った断面図。

10

20

30

40

50

【図10】本発明の第5の実施の形態に係る電力用半導体装置（ＩＥＧＴ）の平面レイアウトを示す図。

【図11】図10のX I - X I 線に沿った断面図。

【図12】本発明の第6の実施の形態に係る電力用半導体装置（ＩＥＧＴ）の平面レイアウトを示す図。

【図13】図12のX I I I - X I I I 線に沿った断面図。

【図14】本発明の第7の実施の形態に係る電力用半導体装置（ＩＥＧＴ）を示す断面図

【図15】（α）、（β）は、実験により得られた、比較例2のＩＥＧＴ及び第7の実施の形態に係る実施例2のＩＥＧＴのターンオン時の電圧及び電流波形を夫々示すグラフ。

10

【図16】シミュレーションにより得られた、比較例2のＩＥＧＴ及び実施例2のＩＥＧＴのターンオン時のゲート電荷特性を夫々示すグラフ。

【図17】本発明の第8の実施の形態に係る電力用半導体装置（ＩＥＧＴ）を示す断面図

【図18】本発明の第9の実施の形態に係る電力用半導体装置（ＩＥＧＴ）を示す断面図

【図19】本発明の第10の実施の形態に係る電力用半導体装置（ＩＥＧＴ）を示す断面図。

【図20】本発明の第11の実施の形態に係る電力用半導体装置（ＩＥＧＴ）の平面レイアウトを示す図。

20

【図21】図20のX X I - X X I 線に沿った断面図。

【図22】本発明の第12の実施の形態に係る電力用半導体装置（ＩＥＧＴ）の平面レイアウトを示す図。

【図23】図22のX X I I I - X X I I I 線に沿った断面図。

【図24】本発明の第13の実施の形態に係る電力用半導体装置（ＩＥＧＴ）を示す断面図。

【図25】従来のトレンチ構造を有するＩＥＧＴを示す断面図。

【図26】従来のＣＳＴＢＴを示す断面図。

【図27】本発明の第14の実施の形態に係る電力用半導体装置を示す断面図。

【図28】（α）、（β）は、図27図示の電力用半導体装置の動作を示す図。

30

【図29】本発明の第15の実施の形態に係る電力用半導体装置を示す断面図。

【図30】本発明の第16の実施の形態に係る電力用半導体装置を示す断面図。

【図31】本発明の第17の実施の形態に係る電力用半導体装置を示す断面図。

【図32】本発明の第18の実施の形態に係る電力用半導体装置を示す断面図。

【図33】本発明の第19の実施の形態に係る電力用半導体装置を示す断面図。

【図34】本発明の第20の実施の形態に係る電力用半導体装置を示す断面図。

【図35】（α）～（γ）は、本発明の第21の実施の形態に係る電力用半導体装置の製造方法を順に示す断面図。

【図36】（α）～（δ）は、本発明の第22の実施の形態に係る電力用半導体装置の製造方法を順に示す断面図。

40

【図37】本発明の第23の実施の形態に係る電力用半導体装置を示す断面図。

【図38】本発明の第24の実施の形態に係る電力用半導体装置を示す断面斜視図。

【図39】図38のX X X I X - X X X I X 線に沿った断面図。

【図40】（α）～（δ）は、本発明の第24の実施の形態に係る電力用半導体装置の製造方法を順に示す断面図。

【図41】（α）、（β）は、本発明の第25の実施の形態に係る電力用半導体装置及びその変更例を示す断面斜視図。

【図42】本発明の第26の実施の形態に係る電力用半導体装置を示す断面図。

【符号の説明】

1 n型ベース層

50

- 2 n型パッファ層
- 3 P型コレクタ層
- 4、4a、4b、4c トレンチ
- 5 ゲート絶縁膜
- 5a、5b、5c 絶縁膜
- 6 ゲート電極
- 7 P型ベース層
- 8 n型エミッタ層
- 9 P型パッファ層
- 9a 追加された深さ部分
- 10 絶縁膜
- 11 コレクタ電極
- 12 エミッタ電極
- 12a 追加電極
- 13 パッファ電極
- 14 パッファ抵抗
- 15 ゲート引出電極
- 16、16H、16L P型接続層
- 17 絶縁膜
- 18 P型層
- 19 P型延長層
- 20 タミ-電極
- 21 P型張出し層
- 23、24 n型介在層
- 26 絶縁膜
- 27 ゲート電極
- 28 n型層
- 31 n型ベース層
- 32 n型バリア層
- 33 P型コレクタ層
- 34、34a トレンチ
- 35 ゲート絶縁膜
- 35a 絶縁膜
- 36 ゲート電極
- 37 P型ベース層
- 38 n型エミッタ層
- 39 P型ダイバ-タ層
- 41 コレクタ電極
- 42 エミッタ電極
- 43 ダイバ-タ電極
- 44 整流素子
- 45 ダイオ-ド
- 50、51、55、70 P型チャネルMOSFET
- 81 半導体支持層
- 82 絶縁層
- 83 半導体活性層

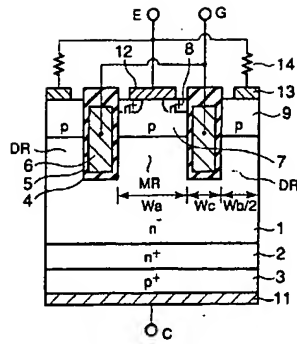
10

20

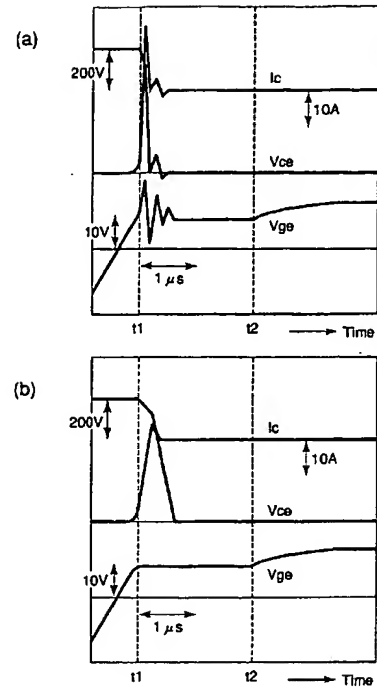
30

40

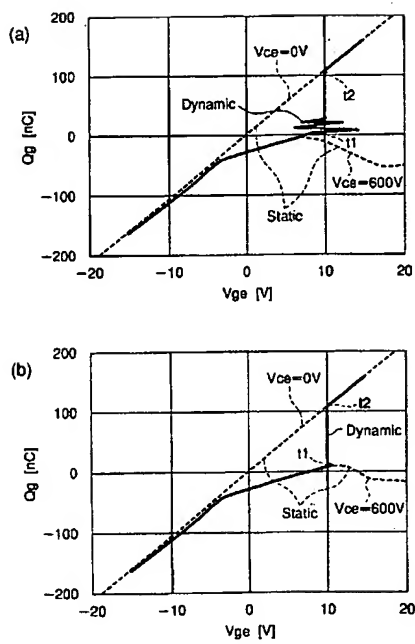
【図 1】



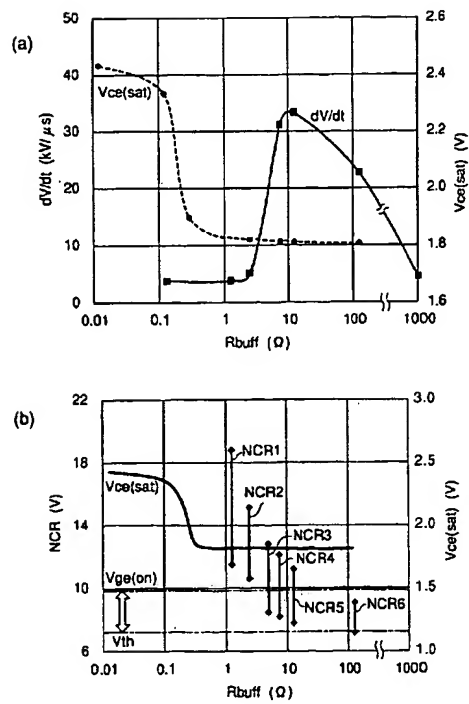
【図 2】



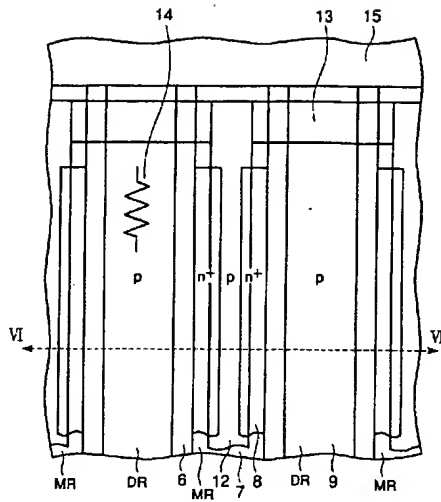
【図 3】



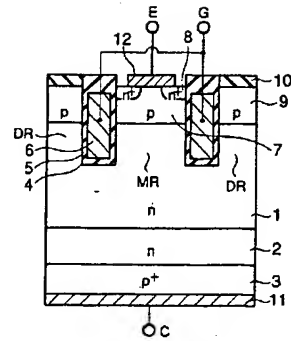
【図 4】



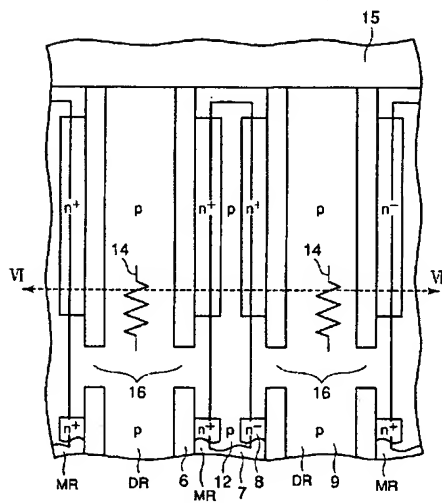
【図 5】



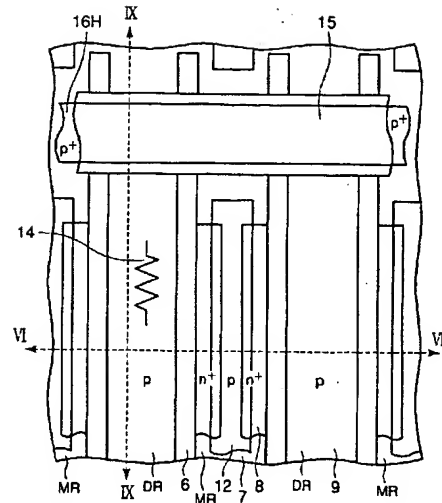
【図 6】



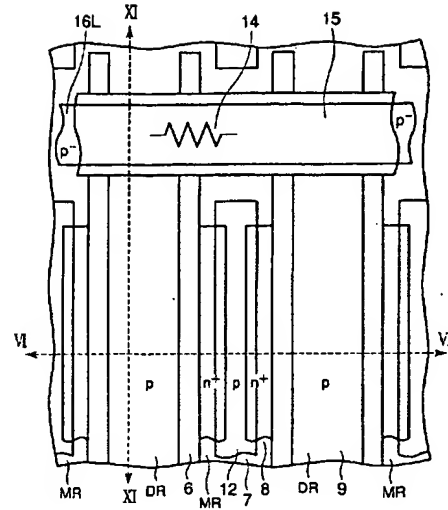
【図 7】



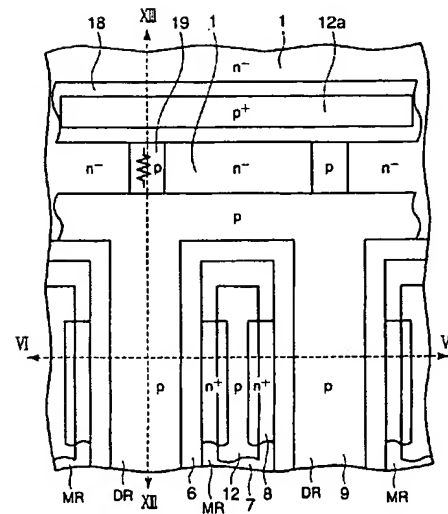
【図 8】



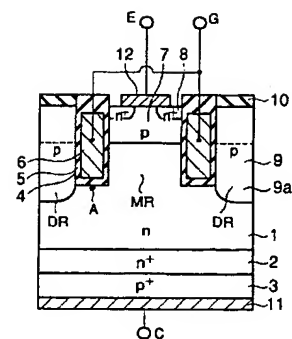
【 ㊦ 1 0 】



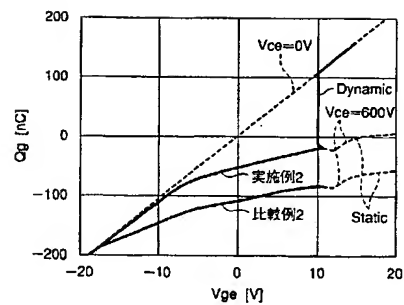
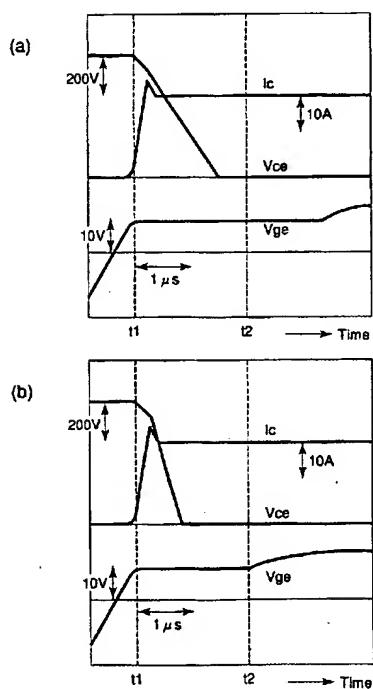
【 1 2 】



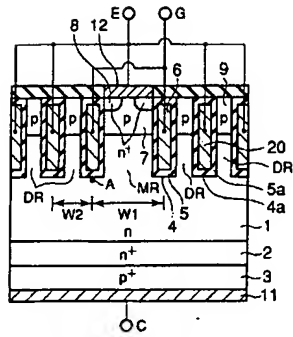
【 ㊦ 1 4 】



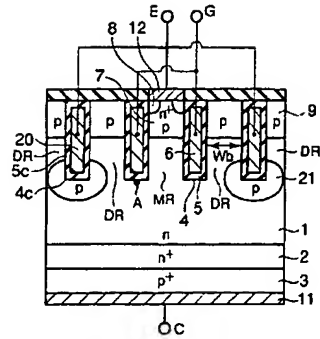
【 図 1 6 】



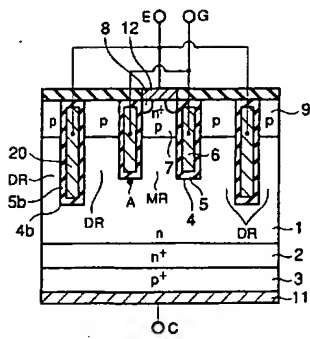
【図 17】



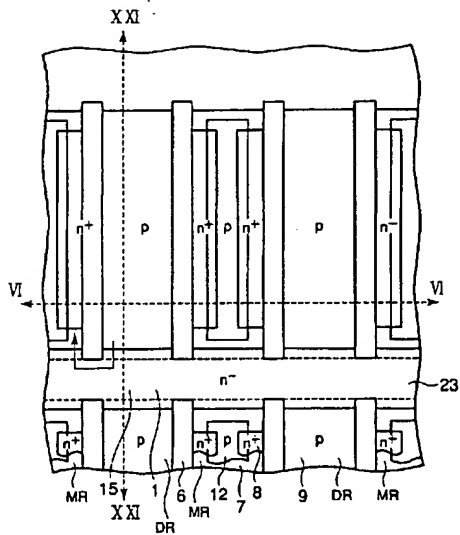
【図 19】



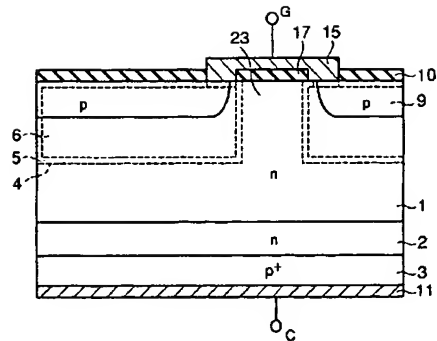
【図 18】



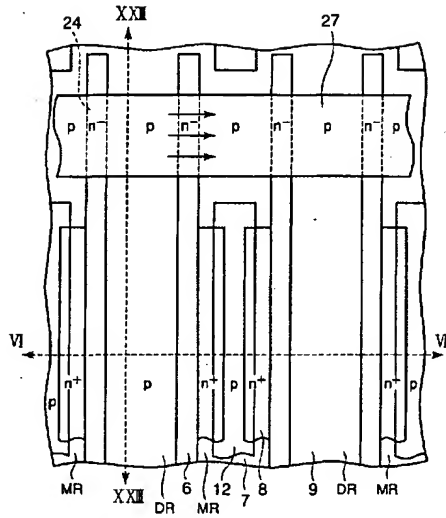
【図 20】



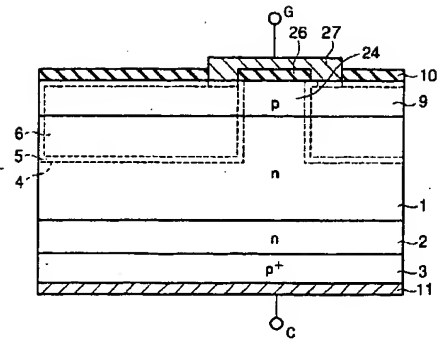
【図 21】



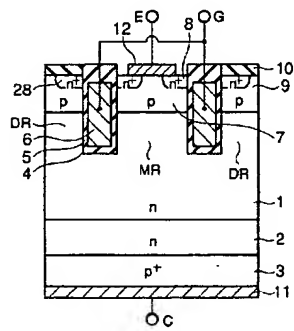
【図 22】



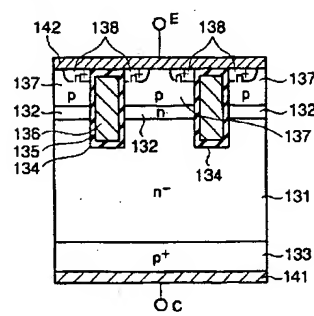
【図 23】



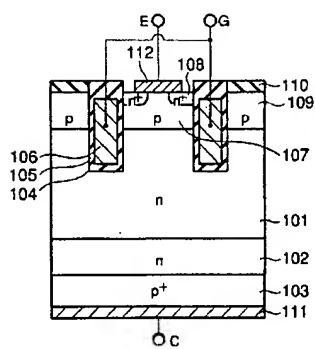
【図 24】



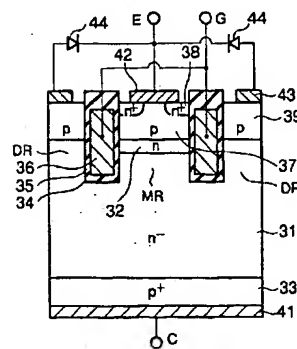
【図 26】



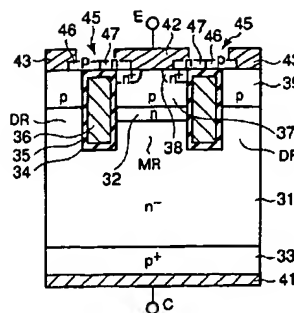
【図 25】



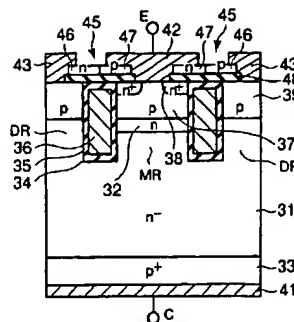
【図 27】



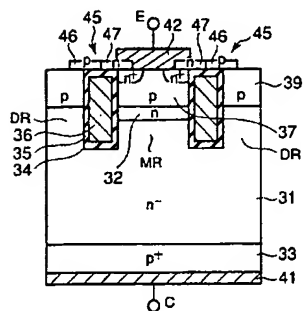
【 ㊦ 2 9 】



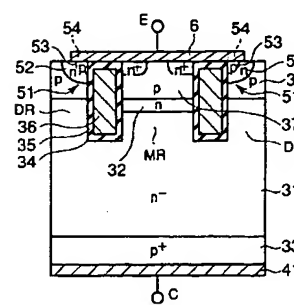
【 図 30 】



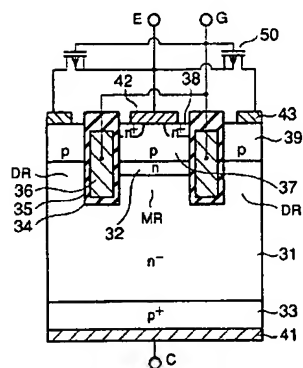
【 ㊦ 3 1 】



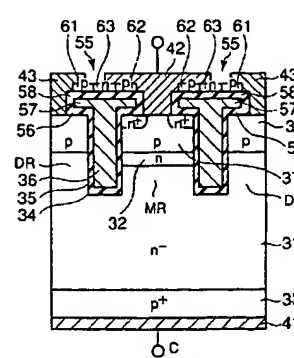
【圖 33】



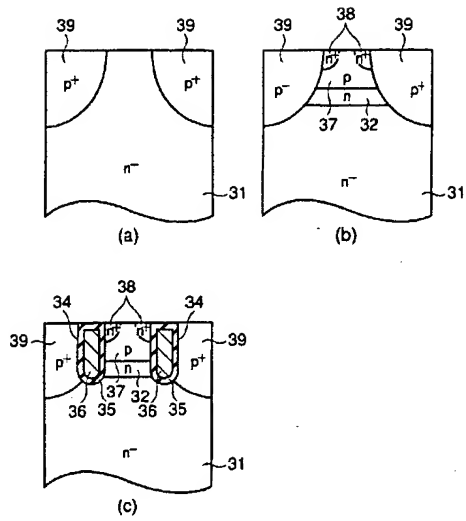
【 3 2 】



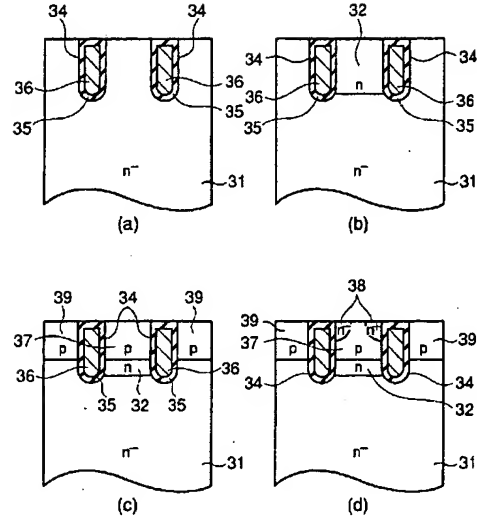
【 ㊦ 3 4 】



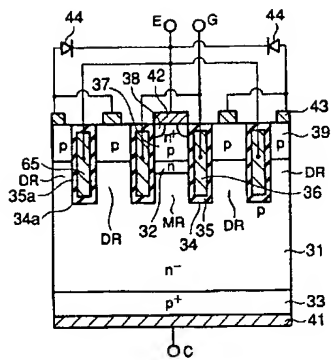
【図 35】



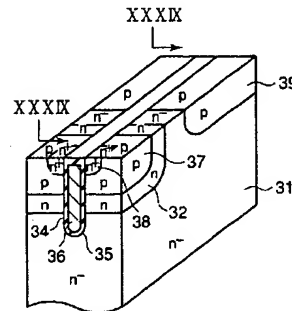
【図 36】



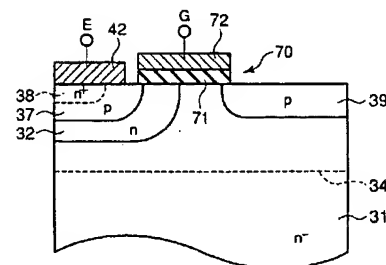
【図 37】



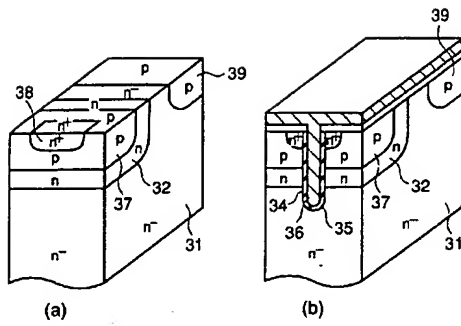
【図 38】



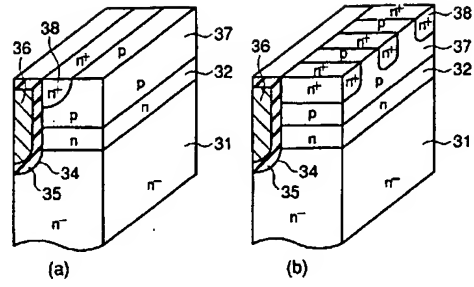
【図 39】



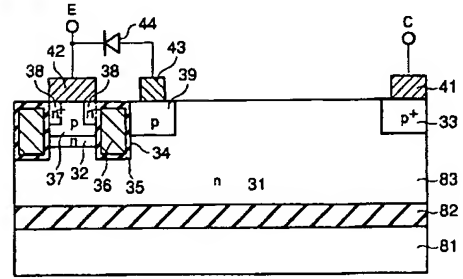
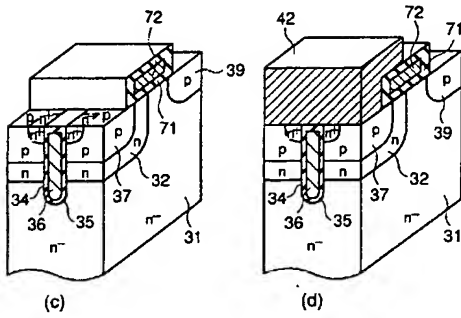
【図 40】



【図 41】



【図 42】



フロントページの続き

(74)代理人 100070437

弁理士 河井 将次

(72)発明者 山口 正一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 二宮 英彰

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 大村 一郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 井上 智樹

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

Fターム(参考) 5F110 AA01 BB12 CC09 DD05 DD13 EE22 GG02 GG12